

DOCKET NO.: 270968US2X PCT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Shinsuke HARADA, et al.

SERIAL NO.: NEW U.S. PCT APPLICATION

FILED: HERewith

INTERNATIONAL APPLICATION NO.: PCT/JP03/12727

INTERNATIONAL FILING DATE: October 3, 2003

FOR: SILICON CARBIDE SEMICONDUCTOR DEVICE AND METHOD OF  
MANUFACTURING SAME

**REQUEST FOR PRIORITY UNDER 35 U.S.C. 119**  
**AND THE INTERNATIONAL CONVENTION**

Commissioner for Patents  
Alexandria, Virginia 22313

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicant claims as priority:

<b><u>COUNTRY</u></b>	<b><u>APPLICATION NO</u></b>	<b><u>DAY/MONTH/YEAR</u></b>
Japan	2002-304596	18 October 2002

Certified copies of the corresponding Convention application(s) were submitted to the International Bureau in PCT Application No. PCT/JP03/12727. Receipt of the certified copy(s) by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

Respectfully submitted,  
OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak  
Attorney of Record  
Registration No. 24,913  
Surinder Sachar  
Registration No. 34,423

Customer Number

**22850**

(703) 413-3000  
Fax No. (703) 413-2220  
(OSMMN 08/03)

**BEST AVAILABLE COPY**

Rec'd PCT/PTO 15 APR 2005

Rec'd PCT/PTO 15 APR 2005

PCT/JPO/16121

24.10.03

#2

10/531582

日本国特許庁  
JAPAN PATENT OFFICE

REC'D 13 NOV 2003

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2002年10月18日

出願番号  
Application Number: 特願2002-304596  
[ST. 10/C]: [JP 2002-304596]

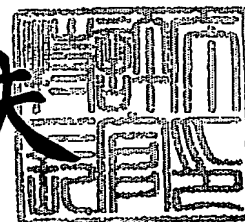
出願人  
Applicant(s): 独立行政法人産業技術総合研究所  
三洋電機株式会社

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年10月10日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



BEST AVAILABLE COPY

出証番号 出証特2003-3083881

【書類名】 特許願

【整理番号】 216-02264

【提出日】 平成14年10月18日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内

【氏名】 原田 信介

【発明者】

【住所又は居所】 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内

【氏名】 八尾 勉

【発明者】

【住所又は居所】 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内

【氏名】 福田 憲司

【発明者】

【住所又は居所】 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内

【氏名】 岡本 光央

【発明者】

【住所又は居所】 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内

【氏名】 安達 和広

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

【氏名】 鈴木 誠二

## 【特許出願人】

【識別番号】 301021533

【氏名又は名称】 独立行政法人産業技術総合研究所

## 【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

## 【代理人】

【識別番号】 100082669

【弁理士】

【氏名又は名称】 福田 賢三

## 【選任した代理人】

【識別番号】 100095337

【弁理士】

【氏名又は名称】 福田 伸一

## 【選任した代理人】

【識別番号】 100061642

【弁理士】

【氏名又は名称】 福田 武通

## 【選任した代理人】

【識別番号】 100095061

【弁理士】

【氏名又は名称】 加藤 恭介

## 【手数料の表示】

【予納台帳番号】 086277

【納付金額】 4,200円

## 【その他】

国等以外のすべての者の持分の割合 20/100

国等の委託研究の成果に係る特許出願（平成14年度、  
新エネルギー・産業技術総合開発機構 超低損失電力素  
子技術開発 基盤技術開発の委託研究、産業活力再生特

別措置法第30条の適用を受けるもの)

【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 炭化ケイ素半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 伝導型の高濃度炭化ケイ素基板表面上に形成されている第 1 伝導型の低濃度炭化ケイ素からなる第 1 の堆積膜と、

前記第 1 の堆積膜上に選択的に切り欠かれている第 1 の領域を有する第 2 伝導型の高濃度ゲート領域からなる第 2 の堆積膜と、

前記第 2 の堆積膜上に選択的に切り欠かれている前記第 1 の領域より幅が広い第 2 の領域と第 1 伝導型の高濃度ソース領域と第 2 伝導型の低濃度ゲート領域からなる第 3 の堆積膜と、

前記第 1 の堆積膜に接し、前記第 1 の領域および第 2 の領域に形成されている第 1 伝導型の低濃度ベース領域と、

少なくとも前記第 3 の堆積膜の表面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜を介して形成されたゲート電極と、

前記第 1 伝導型の炭化ケイ素基板の裏面に低抵抗接続されたドレイン電極と、

前記ゲート電極の上に層間絶縁膜を介して形成されていると共に、前記第 1 伝導型の高濃度ソース領域および第 2 伝導型の低濃度ゲート領域の一部に低抵抗接続されているソース電極と、

からなることを特徴とする炭化ケイ素半導体装置。

【請求項 2】 前記第 1 伝導型の低濃度ベース領域における上面には、前記ゲート絶縁膜と接する部分の少なくとも一部に凹部が設けられていることを特徴とする請求項 1 に記載された炭化ケイ素半導体装置。

【請求項 3】 前記第 1 伝導型の低濃度ベース領域の不純物濃度は、前記第 2 伝導型の高濃度ゲート領域の不純物濃度よりも低いことを特徴とする請求項 1 または請求項 2 に記載された炭化ケイ素半導体装置。

【請求項 4】 前記第 3 の堆積膜内に選択的に形成された前記第 2 伝導型の低濃度ゲート領域において、前記ゲート絶縁膜と接する部分の不純物濃度は、 $2 \times 10^{16} \text{ cm}^{-3}$  以下であることを特徴とする請求項 1 ないし請求項 3 のいずれか 1 項に記載された炭化ケイ素半導体装置。

【請求項 5】 前記第 3 の堆積膜内に選択的に形成された前記第 1 伝導型の低濃度ベース領域の不純物濃度は、前記第 2 伝導型の高濃度ゲート領域と接する部分において、 $4 \times 10^{16} \text{ cm}^{-3}$ 以下であることを特徴とする請求項 1 ないし請求項 4 のいずれか 1 項に記載された炭化ケイ素半導体装置。

【請求項 6】 前記第 2 伝導型の高濃度ゲート領域は、第 1 の堆積膜上に形成された炭化ケイ素からなる第 2 の堆積膜であることを特徴とする請求項 1 ないし請求項 5 のいずれか 1 項に記載された炭化ケイ素半導体装置。

【請求項 7】 前記第 3 の堆積膜上に形成されたゲート絶縁膜は、少なくとも前記第 3 の堆積膜内に選択的に形成された第 1 伝導型の低濃度ベース領域上において、他の部分より厚くなっている部分を有することを特徴とする請求項 1 ないし請求項 6 のいずれか 1 項に記載された炭化ケイ素半導体装置。

【請求項 8】 前記第 3 の堆積膜内に選択的に形成された第 1 伝導型のベース領域の表面上において、ゲート電極は、少なくとも一部が除かれていることを特徴とする請求項 1 ないし請求項 7 のいずれか 1 項に記載された炭化ケイ素半導体装置。

【請求項 9】 前記第 1 伝導型の炭化ケイ素基板表面の結晶学的面指数は、 $(11-20)$  面に対して平行な面であることを特徴とする請求項 1 ないし請求項 8 のいずれか 1 項に記載された炭化ケイ素半導体装置。

【請求項 10】 前記第 1 伝導型の炭化ケイ素基板表面の結晶学的面指数は、 $(000-1)$  面に対して平行な面であることを特徴とする請求項 1 ないし請求項 9 のいずれか 1 項に記載された炭化ケイ素半導体装置。

【請求項 11】 前記第 2 伝導型の低濃度ゲート領域内の前記ゲート絶縁膜と接する部分には、第 1 伝導型の埋め込みチャネル領域を有することを特徴とする請求項 1 ないし請求項 10 のいずれか 1 項に記載された炭化ケイ素半導体装置。

【請求項 12】 第 1 伝導型の高濃度炭化ケイ素基板表面上に形成されている第 1 伝導型の低濃度炭化ケイ素からなる下部堆積膜と、

前記第 1 伝導型の低濃度炭化ケイ素が残されている第 1 の領域を有するように前記下部堆積膜内に選択的に形成された第 2 伝導型の高濃度ゲート領域と、

前記下部堆積膜上に選択的に前記第1の領域より幅が広い第2領域からなる第1伝導型の低濃度ベース領域と、前記第1伝導型の高濃度ソース領域と、第2伝導型の低濃度ゲート領域とからなる上部堆積膜と、

少なくとも前記上部堆積膜の表面上に形成されたゲート絶縁膜と、  
前記ゲート絶縁膜を介して形成されたゲート電極と、  
前記第1伝導型の炭化ケイ素基板の裏面に低抵抗接続されたドレイン電極と、  
前記ゲート電極の上に層間絶縁膜を介して形成されていると共に、前記第1伝導型の高濃度ソース領域および第2伝導型の低濃度ゲート領域の一部に低抵抗接続されているソース電極と、  
からなることを特徴とする炭化ケイ素半導体装置。

【請求項13】 前記第1伝導型の低濃度ベース領域の不純物濃度は、前記第2伝導型の高濃度ゲート領域の不純物濃度よりも低いことを特徴とする請求項12に記載された炭化ケイ素半導体装置。

【請求項14】 前記上部堆積膜内に選択的に形成された前記第2伝導型の低濃度ゲート領域において、前記ゲート絶縁膜と接する部分の不純物濃度は、 $2 \times 10^{16} \text{ cm}^{-3}$ 以下であることを特徴とする請求項12または請求項13に記載された炭化ケイ素半導体装置。

【請求項15】 前記上部堆積膜は、炭化ケイ素からなることを特徴とする請求項12ないし請求項14のいずれか1項に記載された炭化ケイ素半導体装置。

【請求項16】 前記上部堆積膜上に形成されたゲート絶縁膜は、少なくとも前記上部堆積膜内に選択的に形成された第1伝導型のベース領域上において、他の部分より厚くなっている部分を有することを特徴とする請求項12ないし請求項15のいずれか1項に記載された炭化ケイ素半導体装置。

【請求項17】 前記上部堆積膜内に選択的に形成された第1伝導型のベース領域の表面上において、ゲート電極は、少なくとも一部が除かれていることを特徴とする請求項12ないし請求項16のいずれか1項に記載された炭化ケイ素半導体装置。

【請求項18】 前記第1伝導型の炭化ケイ素基板表面の結晶学的面指数は

、(11-20)面に対して平行な面であることを特徴とする請求項12ないし請求項17のいずれか1項に記載された炭化ケイ素半導体装置。

【請求項19】 前記第1伝導型の炭化ケイ素基板表面の結晶学的面指数は、(000-1)面に対して平行な面であることを特徴とする請求項12ないし請求項18のいずれか1項に記載された炭化ケイ素半導体装置。

【請求項20】 前記第2伝導型の低濃度ゲート領域内の前記ゲート絶縁膜と接する部分には、第1伝導型の埋め込みチャンネル領域を有することを特徴とする請求項12ないし請求項19のいずれか1項に記載された炭化ケイ素半導体装置。

【請求項21】 第1伝導型の高濃度炭化ケイ素基板表面上に第1伝導型の低濃度炭化ケイ素からなる第1の堆積膜を形成する工程と、

前記第1の堆積膜上に前記第2伝導型の高濃度領域が選択的に欠如した第1の領域を有する第2の堆積膜を形成する工程と、

前記第2の堆積膜上および前記第2の堆積膜が選択的に欠如した第1の領域に形成された第2伝導型の低濃度領域からなる第3の堆積膜を形成する工程と、

前記第3の堆積膜に選択的に前記第1の領域より幅を広くした第2の領域が形成されるように、前記第1伝導型の低濃度炭化ケイ素からなる第1の堆積膜に接し、前記第1の領域および第2の領域に第1伝導型の低濃度ベース領域を形成し、また、前記第3の堆積膜に選択的に第1伝導型の高濃度炭化ケイ素からなるソース領域を形成する工程と、

少なくとも前記第3の堆積膜の表面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜を介してゲート電極を形成する工程と、

前記第1伝導型の炭化ケイ素基板の裏面に低抵抗接続されるドレイン電極を形成する工程と、

前記ゲート電極の上に層間絶縁膜を介して形成されていると共に、前記第1伝導型の高濃度ソース領域および第2伝導型の低濃度ゲート領域の一部に低抵抗接続されるソース電極を形成する工程と、

を少なくとも有することを特徴とする炭化ケイ素半導体装置の製造方法。

【請求項22】 前記第1の堆積膜上に前記第2の堆積膜を形成する工程と

前記第 2 の堆積膜表面から前記第 1 の堆積膜に達するトレンチ溝を形成する工程と、

前記第 2 の堆積膜および前記トレンチ溝の上に第 3 の堆積膜を形成する工程と

前記第 3 の堆積膜内に前記第 1 伝導型のベース領域を形成するために選択的に第 1 伝導型の不純物イオン注入を行う工程と、

を有することを特徴とする請求項 2 1 に記載された炭化ケイ素半導体装置の製造方法。

【請求項 2 3】 第 1 伝導型の高濃度炭化ケイ素基板表面上に第 1 伝導型の低濃度炭化ケイ素からなる下部堆積膜を形成する工程と、

前記下部堆積膜中に第 2 伝導型の不純物領域を形成する工程と、

前記第 2 伝導型の不純物領域が形成されている下部堆積膜上に第 2 伝導型の低濃度ゲート領域となる上部堆積膜を形成する工程と、

前記上部堆積膜に第 1 伝導型の高濃度ソース領域を形成する工程と、

前記上部堆積膜に前記下部堆積膜に接する第 1 伝導型の低濃度ベース領域を形成する工程と、

少なくとも前記上部堆積膜の表面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜を介してゲート電極を形成する工程と、

前記第 1 伝導型の炭化ケイ素基板の裏面に低抵抗接続されるドレイン電極を形成する工程と、

前記ゲート電極の上に層間絶縁膜を介して形成されていると共に、前記第 1 伝導型の高濃度ソース領域および第 2 伝導型の低濃度ゲート領域の一部に低抵抗接続されるソース電極を形成する工程と、

を少なくとも有することを特徴とする炭化ケイ素半導体装置の製造方法。

【請求項 2 4】 前記低濃度炭化ケイ素からなる下部堆積層に高濃度の第 2 伝導型の不純物イオン注入により形成し、その上に上部堆積膜を形成する工程と

前記上部堆積膜内に前記第 1 伝導型のベース領域を形成するために選択的に第

1 伝導型の不純物イオン注入を行う工程と、

を有することを特徴とする請求項 2 3 に記載された炭化ケイ素半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、炭化ケイ素基板上に作製した縦型 MOSFET の構造および、その製造方法に関するものである。

##### 【0002】

#### 【従来の技術】

炭化ケイ素 (SiC) は、シリコン (Si) と比較して、①バンドギャップが広い、②絶縁破壊強度が大きい、③電子の飽和ドリフト速度が大きいなどの優れた物性を有する。したがって、炭化ケイ素 (SiC) を基板材料として用いることにより、シリコン (Si) の限界を超えた高耐圧で低抵抗の電力用半導体素子が作製できる。

##### 【0003】

また、炭化ケイ素 (SiC) には、シリコン (Si) と同様に、熱酸化によって絶縁層を形成できるという特徴がある。これらの理由から、炭化ケイ素 (SiC) を基板材料とした高耐圧で低いオン抵抗の縦型 MOSFET が実現できると考えられ、数多くの研究開発が行われている。

##### 【0004】

図 10 は代表的なプレーナ型縦型 MOSFET の単位セルを説明するための断面図である。図 10 において、高濃度 n+型基板 1 上に低濃度 n 型ドリフト層 2 が堆積されている。低濃度 n 型ドリフト層 2 内には表面から、選択的に p 型ウェル層 3 が形成されている。また、前記 p 型ウェル層 3 に挟まれた領域には、低濃度 n 型ベース領域 4 が存在する。

##### 【0005】

また、前記 p 型ウェル層 3 内には、選択的に高濃度 n+型ソース領域 5 が形成されている。前記低濃度 n 型ベース領域 4 と、前記高濃度 n+型ソース領域 5 に

挟まれた部分との表面には、ゲート絶縁膜6を介してゲート電極7が設けられている。前記ゲート電極7上には、層間絶縁膜8を介して前記高濃度n<sup>+</sup>型ソース領域5と前記p型ウェル層3の一部との表面に低抵抗接続されたソース電極9が形成されている。

#### 【0006】

高濃度n<sup>+</sup>型基板1の裏面には、ドレイン電極10が形成されている。この構造のプレーナ型縦型MOSFETでは、ゲート電極7に、しきい値電圧以上のゲート電圧が印加されると、p型ウェル層3の表面に電子が誘起され、チャネル領域11の表面層にn型反転層が形成される。これによって、高濃度n<sup>+</sup>型ソース領域5と低濃度n型ドリフト層2が導通状態になり、ドレイン電極10からソース電極9へ電流を流すことができる。

#### 【0007】

ゲート電圧がしきい値電圧以下の場合、高濃度n<sup>+</sup>型ソース領域5と低濃度n型ドリフト層2は絶縁状態となる。この状態でドレイン電極10へ電圧が印加されると、p型ウェル層3と低濃度n型ベース領域4との接合部分から延びた空乏層によって低濃度n型ベース領域4がピンチオフされる。さらに、ドレイン電極10への電圧を増加すると、空乏層が低濃度n型ドリフト層2内を延びる。この最大印加電圧は、低濃度n型ドリフト層2の厚さによって制限され、素子の耐圧が決定される。

#### 【0008】

基板材料にシリコン(Si)を用いた場合は、プレーナ型縦型MOSFETは、二重拡散法によって作製される。図11(a)ないし(f)および図12(a)、(b)は前記二重拡散法によるシリコン(Si)を使用したプレーナ型縦型MOSFETの作製方法を説明するための図である。まず、高濃度n<sup>+</sup>型基板1表面上には、低濃度n型ドリフト層2が堆積される。次に、前記低濃度n型ドリフト層2の表面には、酸化法によりゲート絶縁膜6が形成される。

#### 【0009】

前記ゲート絶縁膜6の上には、多結晶シリコン7aが堆積されて、図11(a)に示すようになる。そして、前記多結晶シリコン7aは、フォトリソグラフィ

によりパターン加工されてゲート電極7が図11(b)に示すように形成される。次に、図11(c)に示すように、ゲート電極7をマスクとした選択的なp型不純物イオン注入3aが行われる。

#### 【0010】

その後、熱拡散によって、図11(d)に示すように、p型ウェル層3が形成される。この時、ボロンなどのp型不純物は、拡散係数が大きいのでマスクの下まで侵入する。さらに、図11(e)に示すように、同じマスクを用いてリンなどのn型不純物イオンの注入5aが行われる。その後、図11(f)に示すように、熱拡散で高濃度n<sup>+</sup>型ソース領域5が形成される。

#### 【0011】

この時、図12(a)に示すように、リンなどのn型不純物は、ボロンなどのp型不純物に比べ拡散係数が小さく、横方向の拡散長の差によってチャネル領域11が形成される。次いで、CVD法により表面上に層間絶縁膜8が堆積され、その層間絶縁膜8に窓が開けられる。図12(b)に示すように、高濃度n<sup>+</sup>型ソース領域5ならびにp型ウェル層3のそれぞれの表面には、ソース電極9が低抵抗接触で形成される。

#### 【0012】

この二重拡散法によるシリコンを使用したプレーナ型縦型MOSFETにおいて、チャネル領域11の表面層に誘起されるチャネル内の伝導電子は、イオン注入などによって生ずる結晶欠陥などによる散乱を受けないため、数 $100\text{ cm}^2/\text{Vs}$ という高いチャネル移動度を持ち、これによって低いオン抵抗が実現されている。

#### 【0013】

これに対して、炭化ケイ素基板1を用いた場合、図10に示す構造のプレーナ型縦型MOSFETは、図11および図12に示すように、二重拡散法を用いて作製できない。その理由は、不純物元素の拡散係数が炭化ケイ素基板2内で、極めて小さいため、p型不純物およびn型不純物の横方向拡散長の差によって、チャネル領域11を形成することが出来ないからである。

#### 【0014】

炭化ケイ素プレーナ型縦型MOSFETは、普通、以下に述べる二重イオン注入法によって作製されている。図13(a)ないし(f)および図14(a)、(b)は従来における二重イオン注入法を用いた典型的な炭化ケイ素プレーナ型縦型MOSFETの作製方法を示す。まず、図13(a)において、炭化ケイ素基板(高濃度n<sup>+</sup>型基板)1上には、低濃度n型ドリフト層2が堆積される。図13(b)に示すように、前記低濃度n型ドリフト層2の表面には、マスク12が設けられる。

#### 【0015】

前記低濃度n型ドリフト層2には、その表面に設けられた前記マスク12を介して、選択的にp型不純物イオン3aが注入される。このとき、注入の加速電圧は、高くなると、深い低濃度n型ドリフト層2までp型不純物イオン3aが導入される。次に、図13(c)に示すように、前記低濃度n型ドリフト層2には、サイズの異なるマスク13が設けられる。n型不純物イオン5aは、前記マスク13を介して選択的に注入される。

#### 【0016】

このときの加速電圧は、n型不純物イオン5aの飛程距離がp型不純物イオン3aの飛程距離よりも小さくなるように設定される。そして、図13(d)に示すように、前記マスク13を除去した後に、熱処理により、注入イオン領域は、活性化され、高濃度n<sup>+</sup>型ソース領域5とp型ウェル層3が形成される。ここで、熱処理による注入イオンの拡散は、非常に小さいため、注入されたイオンのプロファイルがほぼそのまま各層を形作ることになる。

#### 【0017】

その後、図13(e)に示すように、熱酸化によって、前記表面にゲート絶縁膜6が形成される。また、前記ゲート絶縁膜6の上には、多結晶シリコンまたは金属7aが堆積される。前記多結晶シリコンまたは金属7aは、図13(f)に示すように、フォトリソグラフィにより、パターン加工が施され、ゲート電極7が形成される。

#### 【0018】

次いで、図14(a)に示すように、前記ゲート電極7の表面上には、CVD

法により、層間絶縁膜 8 が堆積される。図 14 (b) に示すように、前記層間絶縁膜 8 には、窓が開けられ、高濃度 n+型ソース領域 5 ならびに低濃度 p 型ウェル層 3 の表面に低抵抗接続されるソース電極 9 が形成される。

#### 【0019】

この方法では、チャネル領域 11 がイオン注入によって形成されているために、イオン注入によって誘起された多数の結晶欠陥が含まれる。また、イオン注入された p 型不純物元素は、1600℃以上という高温の熱処理を施しても、十分に電氣的活性化されない。したがって、十分な不純物濃度を得るためには、その分注入量を高くする必要がある、欠陥の発生量を増大させることになる。

#### 【0020】

その結果、チャネル領域 11 の表面層に誘起されるチャネル内の伝導電子は、欠陥などによって散乱され、移動度が低下する。したがって、二重イオン注入法で作製された炭化ケイ素プレーナ型縦型 MOSFET は、チャネル移動度が  $1 \text{ cm}^2/\text{Vs}$  以下と極めて小さく、オン抵抗が理論値よりも遥かに高いという問題を抱えている。

#### 【0021】

炭化ケイ素プレーナ型縦型 MOSFET のオン抵抗を下げる方法としては、チャネル領域をイオン注入ではなく堆積膜によって形成した構造が提案されている [Journal of Applied Physics vol.87, 8773 (2000).]。図 15 は炭化ケイ素プレーナ型縦型 MOSFET として提案された単位セルの構造を説明するための断面図である。図 15 において、前記炭化ケイ素プレーナ型縦型 MOSFET の構造では、高濃度 n+型基板 1 上に低濃度 n 型ドリフト層 2 が堆積されている。

#### 【0022】

その上には、高濃度 p+型層 31 が堆積されている。さらに、その上には、同様に低濃度 p 型層 32 が選択的に堆積されている。その後、n 型不純物イオン注入によって、これらの高濃度 p+型層 31 と低濃度 p 型層 32 を貫通して低濃度 n 型ドリフト層 2 に達する低濃度 n 型ベース領域 4 が選択的に形成される。また、低濃度 p 型層 32 の表面部分には、選択的に高濃度 n+型ソース領域 5 が形成されている。

## 【0023】

高濃度 p+型層 3 1 と低濃度 p 型層 3 2 を貫通して低濃度 n 型不純物イオンが注入されていない領域が p 型ウェル層 3 となる。この構造では、チャネル領域 1 1 がイオン注入されてない堆積層内に形成されるので、伝導電子の高い移動度が得られるという特徴がある。なお、ここで、p 型層 3 2 を比較的低濃度に行っているのは、高いチャネル移動度を得るためである。

## 【0024】

実際、 $5 \times 10^{15} \text{ cm}^{-3}$  の低濃度 p 型堆積膜上に作製した炭化ケイ素プレーナ型縦型 MOSFET において、高いチャネル移動度が得られていることが報告されている [IEEE Electron Device Letters vol.22, 272 (2001).]。また、炭化ケイ素基板 1 側の高濃度 p+型層 3 1 は、比較的高濃度に行っているが、高濃度 n+型ソース領域 5 と低濃度 n 型ドリフト層 2 とが低電圧でパンチスルーして、高い電圧を阻止できなくなるのを回避するために、この濃度が低い場合、その厚さを数ミクロン程度に厚くする必要がある。

## 【0025】

そうすると、低濃度 n 型ベース領域 4 を形成するための n 型不純物イオン注入の加速電圧が MeV という極めて高エネルギーになり、一般の装置を用いての作製は困難となってしまう。したがって、この構造においては、高濃度 n+型ソース領域 5 と低濃度 n 型ドリフト層 2 とのパンチスルーを防ぎ高耐圧化するために、p 型層 3 1 を比較的高濃度で、かつ薄くしているものと思われる。前記引用したこの構造が提案された文献には、作製手順に関する詳細な記載はない。

## 【0026】

しかし、予想される作製方法は、まず、低濃度 n 型ドリフト層 2 の上に高濃度 p+型層 3 1 を堆積し、さらに、その上に低濃度 p 型層 3 2 を堆積する。その後、マスクを利用した選択的な n 型不純物イオン注入と熱処理を行い、p 型層の極性を n 型へと反転することにより p 型ウェル層 3 で挟まれた低濃度 n 型ベース領域 4 が形成されている。

## 【0027】

前記方法は、チャネル領域 1 1 を低濃度の p 型堆積膜によって形成しているた

め、高いチャネル移動度と低いオン抵抗が期待できる。しかし、その一方で、高耐圧化は、次に述べる理由で困難である。すなわち、低濃度 n 型ベース領域 4 の低濃度 n 型ドリフト層と接する部分 24 は、高濃度 p 型堆積膜に n 型不純物イオンを注入して形成した領域である。

#### 【0028】

この場合、イオン注入によって、高濃度の p 型層をそれより低濃度の n 型層に反転することは技術的に不可能であるため、低濃度 n 型ベース領域 4 の不純物濃度は、高濃度 p<sup>+</sup>型層 31 の濃度よりも高くならざるを得ない。その結果、イオン注入によって形成された低濃度 n 型ベース領域 4 と高濃度 p<sup>+</sup>型層 31 によって構成される p n 接合部の耐圧が非常に低くなってしまう。

#### 【0029】

電圧阻止状態において、正のドレイン電圧を印加したときに、高濃度 p<sup>+</sup>型層 31 によって挟まれた低濃度 n 型ベース領域 4 は、両側の p n 接合に印加される逆バイアスによって、延びる空乏層で完全にピンチオフされる必要があるが、この p n 接合の耐電圧が低い場合、ピンチオフする前にその低い電圧で阻止能力を失うことになる。

#### 【0030】

さらにまた、このように、低濃度 n 型ベース領域 4 が高濃度である場合、空乏層の広がりが少ないため、完全にピンチオフさせるのにいっそう高い逆バイアスを印加しなければならないことになり、高い電圧の阻止は、なお、いっそう困難になる。以上のことから、この構造は、高耐圧の炭化ケイ素プレーナ型縦型 MOSFET を得るためには適していないといえる。

#### 【0031】

##### 【発明が解決しようとする課題】

炭化ケイ素縦型 MOSFET は、二重イオン注入により作製された場合、チャネル領域がイオン注入による結晶欠陥を多く含むため、チャネル移動度が小さくオン抵抗が下がらない。これに対して、チャネル領域を低濃度の p 型堆積膜により形成する方法は、チャネル移動度が向上するため、オン抵抗の低減に効果があると期待される。

## 【0032】

しかしながら、これまで提案された炭化ケイ素縦型MOSFETの構造は、n型ドリフト層の表面全てが高濃度のp型堆積膜で覆われた形となっているため、低濃度n型ベース領域を形成するために、高濃度のn型不純物イオン注入が必要となる。その結果、低濃度n型ベース領域の濃度が高くなってしまい、高い電圧阻止能力を保持することができないという問題があった。

## 【0033】

本発明は、これらの問題を解決するために、低いオン抵抗、且つ高耐圧の開炭化ケイ素縦型MOSFETを実現することであり、低濃度p型堆積膜により形成したチャネル領域を有する炭化ケイ素半導体装置を提供することを目的とする。

## 【0034】

本発明は、低濃度p型堆積層により形成したチャネル領域を有する高耐圧炭化ケイ素半導体装置の製造方法を提供することを目的とする。

## 【0035】

本発明は、低濃度p型堆積層により形成したチャネル領域を有する高耐圧炭化ケイ素縦型MOSFETにおいて、オン抵抗を低減するためのゲート絶縁膜およびゲート電極の構造を有する炭化ケイ素半導体装置を提供することを目的とする。

## 【0036】

本発明は、低濃度p型堆積層により形成したチャネル領域を有する高耐圧炭化ケイ素縦型MOSFETにおいて、オン抵抗を低減するための基板の面方位を提供する炭化ケイ素半導体装置を目的とする。

## 【0037】

## 【課題を解決するための手段】

## (第1発明)

第1発明の炭化ケイ素半導体装置は、第1伝導型の高濃度炭化ケイ素基板表面上に形成されている第1伝導型の低濃度炭化ケイ素からなる第1の堆積膜と、前記第1の堆積膜上に選択的に切り欠かれている第1の領域を有する第2伝導型の高濃度ゲート領域からなる第2の堆積膜と、前記第2の堆積膜上に選択的に切り

欠かれている前記第1の領域より幅が広い第2の領域と第1伝導型の高濃度ソース領域と第2伝導型の低濃度ゲート領域からなる第3の堆積膜と、前記第1の堆積膜に接し、前記第1の領域および第2の領域に形成されている第1伝導型の低濃度ベース領域と、少なくとも前記第3の堆積膜の表面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して形成されたゲート電極と、前記第1伝導型の炭化ケイ素基板の裏面に低抵抗接続されたドレイン電極と、前記ゲート電極の上に層間絶縁膜を介して形成されていると共に、前記第1伝導型の高濃度ソース領域および第2伝導型の低濃度ゲート領域の一部に低抵抗接続されているソース電極とからなることを特徴とする。

**【0038】**

(第2発明)

第2発明の炭化ケイ素半導体装置において、前記第1伝導型の低濃度ベース領域における上面には、前記ゲート絶縁膜と接する部分の少なくとも一部に凹部が設けられていることを特徴とする。

**【0039】**

(第3発明)

第3発明の炭化ケイ素半導体装置において、前記第1伝導型の低濃度ベース領域の不純物濃度は、前記第2伝導型の高濃度ゲート領域の不純物濃度よりも低いことを特徴とする。

**【0040】**

(第4発明)

第4発明の炭化ケイ素半導体装置において、前記第3の堆積膜内に選択的に形成された前記第2伝導型の低濃度ゲート領域における、前記ゲート絶縁膜と接する部分の不純物濃度は、 $2 \times 10^{16} \text{ cm}^{-3}$ 以下であることを特徴とする。

**【0041】**

(第5発明)

第5発明の炭化ケイ素半導体装置において、前記第3の堆積膜内に選択的に形成された前記第1伝導型の低濃度ベース領域の不純物濃度は、前記第2伝導型の高濃度ゲート領域と接する部分において、 $4 \times 10^{16} \text{ cm}^{-3}$ 以下であることを特

徴とする。

【0042】

(第6発明)

第6発明の炭化ケイ素半導体装置において、前記第2伝導型の高濃度ゲート領域は、第1の堆積膜上に形成された炭化ケイ素からなる第2の堆積膜であることを特徴とする。

【0043】

(第7発明)

第7発明の炭化ケイ素半導体装置において、前記第3の堆積膜上に形成されたゲート絶縁膜は、少なくとも前記第3の堆積膜内に選択的に形成された第1伝導型の低濃度ベース領域上において、他の部分より厚くなっている部分を有することを特徴とする。

【0044】

(第8発明)

第8発明の炭化ケイ素半導体装置において、前記第3の堆積膜内に選択的に形成された第1伝導型のベース領域の表面上で、ゲート電極は、少なくとも一部が除かれていることを特徴とする。

【0045】

(第9発明)

第9発明の炭化ケイ素半導体装置は、前記第1伝導型の炭化ケイ素基板表面の結晶学的面指数は、(11-20)面に対して平行な面であることを特徴とする。

【0046】

(第10発明)

第10発明の炭化ケイ素半導体装置において、前記第1伝導型の炭化ケイ素基板表面の結晶学的面指数は、(000-1)面に対して平行な面であることを特徴とする。

【0047】

(第11発明)

前記第2伝導型の低濃度ゲート領域内の前記ゲート絶縁膜と接する部分には、第1伝導型の埋め込みチャネル領域を有することを特徴とする請求項1ないし請求項10のいずれか1項に記載された炭化ケイ素半導体装置。

**【0048】**

(第12発明)

第12発明の炭化ケイ素半導体装置は、第1伝導型の高濃度炭化ケイ素基板表面上に形成されている第1伝導型の低濃度炭化ケイ素からなる下部堆積膜と、前記第1伝導型の低濃度炭化ケイ素が残されている第1の領域を有するように前記下部堆積膜内に選択的に形成された第2伝導型の高濃度ゲート領域と、前記下部堆積膜上に選択的に前記第1の領域より幅が広い第2領域からなる第1伝導型の低濃度ベース領域と、前記第1伝導型の高濃度ソース領域と、第2伝導型の低濃度ゲート領域とからなる上部堆積膜と、少なくとも前記上部堆積膜の表面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して形成されたゲート電極と、前記第1伝導型の炭化ケイ素基板の裏面に低抵抗接続されたドレイン電極と、前記ゲート電極の上に層間絶縁膜を介して形成されていると共に、前記第1伝導型の高濃度ソース領域および第2伝導型の低濃度ゲート領域の一部に低抵抗接続されているソース電極とからなることを特徴とする。

**【0049】**

(第13発明)

第13発明の炭化ケイ素半導体装置において、前記第1伝導型の低濃度ベース領域の不純物濃度は、前記第2伝導型の高濃度ゲート領域の不純物濃度よりも低いことを特徴とする。

**【0050】**

(第14発明)

第14発明の炭化ケイ素半導体装置において、前記上部堆積膜内に選択的に形成された前記第2伝導型の低濃度ゲート領域で、前記ゲート絶縁膜と接する部分の不純物濃度は、 $2 \times 10^{16} \text{ cm}^{-3}$ 以下であることを特徴とする。

**【0051】**

(第15発明)

第15発明の炭化ケイ素半導体装置において、前記上部堆積膜は、炭化ケイ素からなることを特徴とする。

【0052】

(第16発明)

第16発明の炭化ケイ素半導体装置において、前記上部堆積膜上に形成されたゲート絶縁膜は、少なくとも前記上部堆積膜内に選択的に形成された第1伝導型のベース領域上において、他の部分より厚くなっている部分を有することを特徴とする。

【0053】

(第17発明)

第17発明の炭化ケイ素半導体膜において、前記上部堆積膜内に選択的に形成された第1伝導型のベース領域の表面上で、ゲート電極は、少なくとも一部が除かれていることを特徴とする。

【0054】

(第18発明)

第18発明の炭化ケイ素半導体装置において、前記第1伝導型の炭化ケイ素基板表面の結晶学的面指数は、(11-20)面に対して平行な面であることを特徴とする。

【0055】

(第19発明)

第19発明の炭化ケイ素半導体装置において、前記第1伝導型の炭化ケイ素基板表面の結晶学的面指数は、(000-1)面に対して平行な面であることを特徴とする。

【0056】

(第20発明)

第20発明の炭化ケイ素半導体装置において、前記第2伝導型の低濃度ゲート領域内の前記ゲート絶縁膜と接する部分には、第1伝導型の埋め込みチャネル領域を有することを特徴とする。

【0057】

## (第21発明)

第21発明の炭化ケイ素半導体装置の製造方法において、第1伝導型の高濃度炭化ケイ素基板表面上に第1伝導型の低濃度炭化ケイ素からなる第1の堆積膜を形成する工程と、前記第1の堆積膜上に前記第2伝導型の高濃度領域が選択的に欠如した第1の領域を有する第2の堆積膜を形成する工程と、前記第2の堆積膜上および前記第2の堆積膜が選択的に欠如した第1の領域に形成された第2伝導型の低濃度領域からなる第3の堆積膜を形成する工程と、前記第3の堆積膜に選択的に前記第1の領域より幅を広くした第2の領域が形成されるように、前記第1伝導型の低濃度炭化ケイ素からなる第1の堆積膜に接し、前記第1の領域および第2の領域に第1伝導型の低濃度ベース領域を形成し、また、前記第3の堆積膜に選択的に第1伝導型の高濃度炭化ケイ素からなるソース領域を形成する工程と、少なくとも前記第3の堆積膜の表面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜を介してゲート電極を形成する工程と、前記第1伝導型の炭化ケイ素基板の裏面に低抵抗接続されるドレイン電極を形成する工程と、前記ゲート電極の上に層間絶縁膜を介して形成されていると共に、前記第1伝導型の高濃度ソース領域および第2伝導型の低濃度ゲート領域の一部に低抵抗接続されるソース電極を形成する工程とを少なくとも有することを特徴とする。

## 【0058】

## (第22発明)

第22発明の炭化ケイ素半導体装置の製造方法において、前記第1の堆積膜上に前記第2の堆積膜を形成する工程と、前記第2の堆積膜表面から前記第1の堆積膜に達するトレンチ溝を形成する工程と、前記第2の堆積膜および前記トレンチ溝の上に第3の堆積膜を形成する工程と、前記第3の堆積膜内に前記第1伝導型のベース領域を形成するために選択的に第1伝導型の不純物イオン注入を行う工程とを有することを特徴とする。

## 【0059】

## (第23発明)

第23発明の炭化ケイ素半導体装置の製造方法は、第1伝導型の高濃度炭化ケイ素基板表面上に第1伝導型の低濃度炭化ケイ素からなる下部堆積膜を形成する

工程と、前記下部堆積膜中に第2伝導型の不純物領域を形成する工程と、前記第2伝導型の不純物領域が形成されている下部堆積膜上に第2伝導型の低濃度ゲート領域となる上部堆積膜を形成する工程と、前記上部堆積膜に第1伝導型の高濃度ソース領域を形成する工程と、前記上部堆積膜に前記下部堆積膜に接する第1伝導型の低濃度ベース領域を形成する工程と、少なくとも前記上部堆積膜の表面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜を介してゲート電極を形成する工程と、前記第1伝導型の炭化ケイ素基板の裏面に低抵抗接続されるドレイン電極を形成する工程と、前記ゲート電極の上に層間絶縁膜を介して形成されていると共に、前記第1伝導型の高濃度ソース領域および第2伝導型の低濃度ゲート領域の一部に低抵抗接続されるソース電極を形成する工程とを少なくとも有することを特徴とする。

#### 【0060】

(第24発明)

第24発明の炭化ケイ素半導体装置の製造方法は、前記低濃度炭化ケイ素からなる下部堆積層に高濃度の第2伝導型の不純物イオン注入により形成し、その上に上部堆積膜を形成する工程と、

前記上部堆積膜内に前記第1伝導型のベース領域を形成するために選択的に第1伝導型の不純物イオン注入を行う工程とを有することを特徴とする。

#### 【0061】

本発明は、低濃度p型堆積層内に形成した低濃度のチャネル領域を有する炭化ケイ素縦型MOSFETを高耐圧化する手段として、前記低濃度p型堆積層とn型ドリフト層との間に高濃度p+型堆積層を介在させ、前記高濃度p+型堆積層に切り欠かれた第1領域を具備し、前記第1の領域において、比較的低濃度のn型ベース領域を前記n型ドリフト層の一部に直接接する構造としたことに特徴がある。

#### 【0062】

本発明は、低濃度p型堆積層に設けられた第2の領域の幅が前記高濃度p+型堆積層に設けられた第1の領域より広がっているため、その部分からの抵抗成分が小さくなり、オン抵抗が低減される。

## 【0063】

低濃度 p 型堆積層内に形成した低濃度のチャネル領域を有する炭化ケイ素縦型 MOSFET において、オン抵抗を低減するためのゲート絶縁膜およびゲート電極の構造を n 型ベース領域上のゲート絶縁膜をチャネル領域上よりも厚くした場合、正のゲート電圧を印加した際に、ゲート絶縁膜と n 型ベース領域の界面近傍に局在する伝導電子の数が減少する。したがって、前記界面近傍は、高抵抗化せず、オン抵抗が低減できる。

## 【0064】

本発明は、基板表面の結晶学的面指数を (000-1) 面あるいは (11-20) 面に対して平行な面とした場合、ゲート絶縁膜とチャネル領域との界面準位密度が軽減するため、前記界面近傍は、高抵抗化せず、オン抵抗が低減できる。

## 【0065】

## 【発明の実施の形態】

以下、本発明について具体的実施例を示しながら詳細に説明する。

## [実施例 1]

図 1 は本発明にかかる第一実施例である炭化ケイ素縦型 MOSFET の単位セルを説明するための断面図である。図 1 において、たとえば、 $1 \times 10^{18} \text{ cm}^{-3}$  の窒素がドーピングされた厚さ  $300 \mu\text{m}$  の (0001) 面を有する高濃度 n<sup>+</sup> 型基板 1 表面上には、たとえば、 $5 \times 10^{15} \text{ cm}^{-3}$  の窒素がドーピングされた厚さ  $10 \mu\text{m}$  の低濃度 n 型ドリフト層 2 が堆積されている。

## 【0066】

前記低濃度 n 型ドリフト層 2 の表面上には、たとえば、 $2 \times 10^{18} \text{ cm}^{-3}$  のアルミニウムがドーピングされた厚さ  $0.5 \mu\text{m}$  の高濃度 p<sup>+</sup> 型層 31 が堆積されている。さらに、前記高濃度 p<sup>+</sup> 型層 31 の上には、たとえば、 $5 \times 10^{15} \text{ cm}^{-3}$  のアルミニウムがドーピングされた厚さ  $0.5 \mu\text{m}$  の低濃度 p 型層 32 が堆積されている。前記低濃度 p 型層 32 の表面部分には、たとえば、選択的に約  $1 \times 10^{20} \text{ cm}^{-3}$  のリンがドーピングされた高濃度 n<sup>+</sup> 型ソース領域 5 が形成されている。前記高濃度 p<sup>+</sup> 型層 31 には、選択的に形成された幅  $2 \mu\text{m}$  の切欠き部からなる第 1 の領域が設けられており、前記低濃度 p 型層 32 には、前記切欠き部よ

り幅の広い第2の領域が形成されている。

#### 【0067】

前記第1および第2の領域には、たとえば、 $1 \times 10^{16} \text{ cm}^{-3}$ の窒素がドーピングされた低濃度n型ベース領域4が前記低濃度n型ドリフト層2に直接接して設けられている。前記低濃度p型層32における幅の広い第2の領域は、抵抗成分が小さくなり、炭化ケイ素半導体装置のオン抵抗を低減することができる。前記低濃度n型ベース領域4と高濃度n+型ソース領域5の中間部分には、低濃度p型ウェル層3の表面層にチャネル領域11が形成される。

#### 【0068】

前記チャネル領域11上、および低濃度n型ベース領域4の表面上には、ゲート絶縁膜6を介してゲート電極7が設けられている。前記ゲート電極7上には、層間絶縁膜8を介して、高濃度n+型ソース領域5とp型ウェル層3とのそれぞれの表面に低抵抗接続されたソース電極9が形成されている。また、前記高濃度n+型基板1の裏面には、ドレイン電極10が低抵抗接続で形成されている。さらに、前記低濃度n型ベース領域4は、図1に示すように、凹部41を設けることができる。

#### 【0069】

なお、p型ウェル層3とソース電極9は、低抵抗接続のため、p型ウェル層3表面に高濃度p+型層が形成される場合や、低濃度p型層32のエッチオフによって、ソース電極9が直接に高濃度p+型層31の露出表面に接続されることもある。

#### 【0070】

前記炭化ケイ素縦型MOSFETの動作は、基本的には、従来例として示した図14に記載された炭化ケイ素プレーナ型縦型MOSFETと同様である。すなわち、ゲート電極7に、しきい値電圧以上のゲート電圧が印加されると、p型ウェル層3の表面に電子が誘起されチャネル領域11が形成される。これによって、高濃度n+型ソース領域5と低濃度n型ドリフト層2が導通状態になり、ドレイン電極10からソース電極9へ電流を流すことができる。

#### 【0071】

ここで、従来例として示した図14の炭化ケイ素プレーナ型縦型MOSFETと異なる点は、低濃度n型ドリフト層2の表面全てが高濃度のp<sup>+</sup>型層31で覆われ、その上に低濃度のp型層32が堆積されているのではなく、低濃度n型ドリフト層2の一部が表面に露出しており、濃度が $5 \times 10^{15} \text{ cm}^{-3}$ のp型堆積膜が低濃度n型ドリフト層2に直接接して設けられている。すなわち、n型不純物イオンを注入して低濃度n型ベース領域4を形成する領域全が低濃度p型堆積膜で構成されているために、n型不純物イオン注入を行った後、n型ベース領域4のn型ドリフト層2と接する部分24を低濃度にできた。

#### 【0072】

たとえば、前記低濃度n型ベース領域4と低濃度n型ドリフト層2とが接する部分24の幅は、 $2 \mu\text{m}$ であり、この場合、前記低濃度n型ベース領域4の濃度が $4 \times 10^{16} \text{ cm}^{-3}$ でピンチオフ電圧は30Vとなる。この構造では、前記低濃度n型ベース領域4の濃度が $4 \times 10^{16} \text{ cm}^{-3}$ 以下となっているため、前記低濃度n型ベース領域4をピンチオフさせるのに高い電圧が不必要となる。

#### 【0073】

さらに、前記低濃度n型ベース領域4とp型ウェル層3の接合部の耐圧は、向上し、1000V以上の高耐圧の素子の実現できた。また、チャネル領域11を $2 \times 10^{16} \text{ cm}^{-3}$ の低濃度p型堆積膜で形成しているため、数 $10 \text{ cm}^2/\text{Vs}$ の高いチャネル移動度が得られオン抵抗を低減することができた。

#### 【0074】

図2(a)ないし(f)および図3(a)ないし(d)は第一実施例の炭化ケイ素縦型MOSFETの製造工程を説明するための断面図である。図2(a)において、まず、高濃度n<sup>+</sup>型基板1の表面上には、低濃度n型ドリフト層2が堆積される。さらに、前記低濃度n型ドリフト層2の上には、高濃度p<sup>+</sup>型層31が堆積される。前記低濃度n型ドリフト層2は、たとえば、窒素のドーピング濃度を $5 \times 10^{15} \text{ cm}^{-3}$ 、厚さを $10 \mu\text{m}$ とした。前記高濃度p<sup>+</sup>型層31は、アルミニウムのドーピング濃度を $2 \times 10^{18} \text{ cm}^{-3}$ とし、厚さを $0.5 \mu\text{m}$ にした。

#### 【0075】

次いで、図 2 (b) に示すように、レジストをマスクとしたドライエッチングにより、表面から低濃度 n 型ドリフト層 2 に達するトレンチ構造が形成される。エッチングには、六フッ化硫黄 ( $\text{SF}_6$ ) と酸素 ( $\text{O}_2$ ) の混合ガスを用いた。前記レジストを除去した後、図 2 (c) に示すように、前記表面には、たとえば、 $5 \times 10^{15} \text{ cm}^{-3}$  のアルミニウムがドーパされた低濃度 p 型層 3 2 が  $0.5 \mu\text{m}$  の厚さで堆積された。

#### 【0076】

その後、高濃度 n+ 型ソース領域 5 を形成するために、前記低濃度 p 型層 3 2 の表面には、図 2 (d) に示すように、マスク 1 3 が形成された。n 型不純物イオン 5 a は、前記マスク 1 3 を介して前記低濃度 p 型層 3 2 に注入される。前記マスク 1 3 は、表面上に減圧 CVD 法により堆積された厚さ  $1 \mu\text{m}$  の  $\text{SiO}_2$  膜をフォトリソグラフィにより、パターン加工して形成された。n 型不純物イオン注入 5 a は、たとえば、リンイオンを基板温度  $500^\circ\text{C}$ 、加速エネルギー  $40 \text{ keV} \sim 250 \text{ keV}$  の多段で、注入量  $2 \times 10^{20} \text{ cm}^{-3}$  として実施された。

#### 【0077】

前記マスク 1 3 を除去した後、低濃度 n 型ベース領域 4 を形成するために、図 2 (e) に示すように、マスク 1 4 を使用して n 型不純物イオン 4 a を注入した。前記マスク 1 4 は、低濃度 p 型層 3 2 の表面上に減圧 CVD 法により堆積された厚さ  $1.5 \mu\text{m}$  の  $\text{SiO}_2$  膜をフォトリソグラフィによりパターン加工して形成された。前記 n 型不純物イオン 4 a は、窒素イオンを室温にて、加速エネルギー  $40 \text{ keV} \sim 400 \text{ keV}$  の多段で、注入量  $2 \times 10^{16} \text{ cm}^{-3}$  として注入された。その後、図 2 (f) に示すように、アルゴン雰囲気中にて、 $1500^\circ\text{C}$  で 30 分間にわたる活性化アニールを行い、p 型ウェル層 3、低濃度 n 型ベース領域 4 および高濃度 n+ 型ソース領域 5 が形成された。

#### 【0078】

次いで、図 3 (a) に示すように、前記 p 型ウェル層 3、低濃度 n 型ベース領域 4、および高濃度 n+ 型ソース領域 5 は、 $1200^\circ\text{C}$ 、140 分の熱酸化されて、厚さ  $40 \text{ nm}$  のゲート絶縁膜 6 が形成された。前記ゲート絶縁膜 6 の上には、減圧 CVD 法によって、多結晶シリコン 7 a が  $0.3 \mu\text{m}$  の厚さで堆積された。

。図3 (b) に示すように、多結晶シリコン7 aは、フォトリソグラフィにより、パターン加工されて、ゲート電極7が形成された。

#### 【0079】

さらに、図3 (c) に示すように、減圧CVD法により、前記ゲート電極7の表面上には、厚さ $0.5\mu\text{m}$ の層間絶縁膜8が堆積された。図3 (d) に示すように、前記層間絶縁膜8には、窓が開けられ、高濃度n<sup>+</sup>型ソース領域5とp型ウェル層3に共通のソース電極9が低抵抗接続された。

#### 【0080】

なお、本実施例では、(0001)面基板上の炭化ケイ素縦型MOSFETの構造およびその製造工程について説明したが、(11-20)面あるいは(000-1)面基板にも同様に適用できる。(11-20)面あるいは(000-1)面基板上に作製された炭化ケイ素縦型MOSFETは、チャネル移動度が(0001)面基板上よりも高いため、より低いオン抵抗が得られた。

#### 【0081】

##### [実施例2]

図4は本発明の第二実施例である炭化ケイ素縦型MOSFETの単位セルを説明するための断面図である。図4において、 $5 \times 10^{18}\text{cm}^{-3}$ の窒素がドーピングされた厚さ $300\mu\text{m}$ の(0001)面の高濃度n<sup>+</sup>型基板1上には、 $5 \times 10^{15}\text{cm}^{-3}$ の窒素がドーピングされた厚さ $10\mu\text{m}$ の低濃度n型ドリフト層2が堆積されている。前記低濃度n型ドリフト層2には、その表面から深さ $0.5\mu\text{m}$ に渡って $2 \times 10^{18}\text{cm}^{-3}$ のアルミニウムがドーピングされた高濃度p<sup>+</sup>型層31が形成され、さらに、その表面上に $5 \times 10^{15}\text{cm}^{-3}$ のアルミニウムがドーピングされた厚さ $0.5\mu\text{m}$ の低濃度p型層32が堆積されている。

#### 【0082】

低濃度p型層32の表面部分には、選択的に約 $1 \times 10^{20}\text{cm}^{-3}$ のリンがドーピングされた高濃度n<sup>+</sup>型ソース領域5が形成されている。前記高濃度p<sup>+</sup>型層31には、pイオンが注入されていない欠除部が選択的に設けられている。前記欠除部には、 $1 \times 10^{16}\text{cm}^{-3}$ の窒素がドーピングされた低濃度n型ベース領域4が前記低濃度n型ドリフト層2に直接接するように設けられている。

## 【0083】

前記低濃度 n 型ベース領域 4 と前記高濃度 n+型ソース領域 5 との中間部分である p 型ウェル層 3 の表面層には、チャネル領域 11 が形成される。チャネル領域 11 上、低濃度 n 型ベース領域 4、および高濃度 n+型ソース領域 5 の表面上には、ゲート絶縁膜 6 を介してゲート電極 7 が設けられている。前記ゲート電極 7 上には、層間絶縁膜 8 を介して高濃度 n+型ソース領域 5 と p 型ウェル層 3 のそれぞれの表面に低抵抗接続されたソース電極 9 が形成されている。また、高濃度 n+型基板 1 の裏面には、ドレイン電極 10 が低抵抗接続で形成されている。

## 【0084】

前記炭化ケイ素縦型 MOSFET と図 1 の実施例 1 との相違点は、高濃度 p+型層 31 が低濃度 n 型ドリフト層 2 の表面上に堆積されているのではなく、前記低濃度 n 型ドリフト層 2 内に形成されていることである。すなわち、低濃度 n 型ベース領域 4 内の低濃度 n 型ドリフト層 2 と接する部分 24 は、高濃度 p+型層 31 の上端と同一面内に位置し、前記高濃度 p+型層 31 で挟まれた領域は、低濃度 n 型ドリフト層 2 内に存在する。このため、高濃度 p+型層 31 で挟まれた領域の濃度は、実施例 1 の構造よりも低く、実施例 1 に比べ高耐圧の素子が実現できる。前記実施例 2 は、図 1 の実施例 1 と同様に、低濃度 p 型層 32 に設けられた低濃度 n 型ベース領域 4 の幅が高濃度 p+型層 31 より広いため、その部分からの抵抗成分が小さくなり、オン抵抗が低減される。

## 【0085】

図 5 (a) ないし (f) および図 6 (a) ないし (d) は本発明の第二実施例である炭化ケイ素縦型 MOSFET の製造工程を説明するための断面図である。図 5 (a) において、まず、高濃度 n+型基板 1 上には、 $5 \times 10^{15} \text{ cm}^{-3}$  の窒素をドーピングした低濃度 n 型ドリフト層 2 が  $10 \mu\text{m}$  の厚さで堆積されている。次いで、図 5 (b) に示すように、高濃度 p+型層 31 を形成するために、前記低濃度 n 型ドリフト層 2 上にマスク 15 が形成される。p 型不純物イオン 3a は、前記マスク 15 を使用して前記低濃度 n 型ドリフト層 2 に注入される。前記マスク 15 は、前記低濃度 n 型ドリフト層 2 の表面上に減圧 CVD 法により堆積され、厚さ  $1 \mu\text{m}$  の  $\text{SiO}_2$  膜がフォトリソグラフィによりパターン加工して形成さ

れる。

#### 【0086】

前記p型不純物イオン3aは、アルミニウムイオンを基板温度500℃、加速エネルギー40keV～250keV、注入量 $2 \times 10^{18} \text{ cm}^{-3}$ として注入される。図5(c)に示すように、マスク15を除去した後、低濃度n型ドリフト層2の表面には、 $5 \times 10^{15} \text{ cm}^{-3}$ のアルミニウムがドーピングされた低濃度p型層32が0.5μmの厚さで堆積される。

#### 【0087】

その後、図5(d)に示すように、高濃度n+型ソース領域5を形成するために、マスク13を使用して前記低濃度p型層32にn型不純物イオン5aの注入を行う。n型不純物イオン5aは、リンイオンを基板温度500℃、加速エネルギー40keV～250keV、注入量 $2 \times 10^{20} \text{ cm}^{-3}$ で注入される。マスク13は、除去された後、n型ベース領域4を形成するためのマスク14が形成される。

#### 【0088】

図5(e)に示すように、n型不純物イオン4aは、前記マスク14を介して前記低濃度p型層32に注入される。前記n型不純物イオン4aは、窒素イオンを室温にて、加速エネルギー40keV～250keV、注入量 $1 \times 10^{16} \text{ cm}^{-3}$ として注入される。前記マスク14は、除去された後、図5(f)に示すように、アルゴン雰囲気中にて、1500℃で30分間にわたる活性化アニールが行われる。

#### 【0089】

前記活性化アニールによって、p型ウェル層3、低濃度n型ベース領域4、および高濃度n+型ソース領域5が形成される。次いで、図6(a)に示すように、前記各層は、1200℃、140分熱酸化されて、厚さ40nmのゲート絶縁膜6が形成される。前記ゲート絶縁膜6の上には、減圧CVD法によって、多結晶シリコン7aが0.3μm堆積される。

#### 【0090】

図6(b)に示すように、多結晶シリコン7aは、フォトリソグラフィにより

パターン加工されて、ゲート電極7が形成される。さらに、図6(c)に示すように、前記ゲート電極7の上には、減圧CVD法により、 $0.5\mu\text{m}$ の層間絶縁膜8が堆積される。図6(d)に示すように、前記層間絶縁膜8には、窓が開けられ、高濃度n<sup>+</sup>型ソース領域5とp型ウェル層3に共通のソース電極9が形成される。

#### 【0091】

なお、実施例2では、(0001)面基板上の炭化ケイ素縦型MOSFETの構造およびその製造工程について説明したが、実施例1と同様に(11-20)面あるいは(000-1)面基板にも適用でき、効果も同様である。

#### 【0092】

##### [実施例3]

図7は本発明の第3実施例である炭化ケイ素縦型MOSFETを説明するための断面図である。第3実施例は、前記第1実施例および第2実施例の図中で使用した番号を同じ部分に使用する。第3実施例は、ゲート構造を除いて、基本的な構造が実施例1と同じである。実施例1と異なる点は、低濃度n型ベース領域4の表面上にあるゲート絶縁膜6が約400nmと、他の領域のゲート絶縁膜6よりも厚くなっている部分を有することである。前記ゲート絶縁膜6の構造は、実施例2の構造に対しても適用でき、効果も同様である。

#### 【0093】

##### [実施例4]

図8は本発明の第4実施例である炭化ケイ素縦型MOSFETを説明するための断面図である。第4実施例は、前記第1実施例ないし第3実施例の図中で使用した番号を同じ部分に使用する。第4実施例は、ゲート構造を除き、基本的な構造は、実施例1に示した図1と同じである。実施例1と異なる点は、低濃度n型ベース領域4表面上に、ゲート電極7が除かれた部分を有し、ゲート絶縁膜6上に、層間絶縁膜8が直接堆積されていることである。前記ゲート構造は、実施例2の構造に対しても適用でき、効果も同様である。

#### 【0094】

##### [実施例5]

図9は本発明の第5実施例である炭化ケイ素縦型MOSFETを説明するための断面図である。第5実施例は、図1に示された第1実施例における凹部41がない点、および低濃度n型不純物かなる埋め込みチャネル領域91を設けた点で異なっている。前記埋め込みチャネル領域は、窒素イオンがたとえば、 $1 \times 10^{17} \text{ cm}^{-3}$ で、その深さが $0.2 \mu\text{m}$ とした。前記第5実施例の動作は、図1における第1実施例とほぼ同じであった。また、第5実施例は、前記第1実施例ないし第4実施例と共に、適用することもできる。

#### 【0095】

本発明の炭化ケイ素半導体装置において、チャネル移動度を向上させ、かつ低いオン抵抗と同時に高耐圧を達成した理由をさらに詳述する。

#### 【0096】

チャネル移動度を向上させるためには、チャネルが形成されるp型層の表面濃度を低減する必要がある、高耐圧にするためには、前記p型層の底部を高濃度にする必要がある。この理由は、高濃度p+型層の底部に挟まれた低濃度n型層を低い逆バイアスでピンチオフするため、および、高濃度n+型ソース領域と低濃度n型ドリフト層とがパンチスルーを起こすのを防ぐためである。

#### 【0097】

従来の炭化ケイ素プレーナ型縦型MOSFETは、不純物元素の拡散係数が炭化ケイ素基板内において、極めて小さいため、二重拡散法で作成することが困難であり、さらに、二重イオン注入法で作成した場合は、プロファイルが表面方向にテールを引くため、p型層の底部を高濃度にすると表面も高濃度になってしまい、オン抵抗が高くなってしまう。

#### 【0098】

そこで、図15に示すような方法を採用すると、低いオン抵抗とすることができ、高耐圧にすることができなかった。本発明の炭化ケイ素縦型MOSFETは、高濃度p+型層で挟まれたn型領域の濃度が低いため、低いオン抵抗と高耐圧の両方を達成できるようになった。

#### 【0099】

低濃度のn型ベース領域の濃度が高濃度のp+型ゲート領域より低くした理由

は、前記低濃度のn型ベース領域をピンチオフさせるためのドレイン電圧を低く抑え、高耐圧化するためである。換言すると、前記低濃度のn型ベース領域と前記高濃度のp+型ゲート領域の境界面から前記低濃度のn型ベース領域内に延びる空乏層の幅をより大きくするためである。本発明は、前記切り欠き部（欠如した領域）を有するため、前記低濃度のn型ベース領域の濃度を前記高濃度のp+型ゲート領域より低くできる。

#### 【0100】

以上、本発明の実施例を詳述したが、本発明は、前記実施例に限定されるものではない。そして、特許請求の範囲に記載された本発明を逸脱することがなければ、種々の設計変更を行うことが可能である。前記実施例において、ストリップ型の炭化ケイ素半導体装置における断面図にしたがって説明したが、メッシュ型の炭化ケイ素半導体装置で、六角形型、丸型、あるいはこれらの変形タイプであっても、本発明の趣旨を逸脱しない範囲で形状を変えることができることはいうまでもないことである。また、同様に、切り欠かれている領域、欠如部、凹部等の形状は、本発明の作用を変えない程度に変形することは任意にできる。

#### 【0101】

##### 【発明の効果】

以上、詳述したように、本発明によれば、以下のような効果を奏する。

本発明によれば、低濃度p型堆積層内に形成された低濃度のチャネル領域を有する炭化ケイ素縦型MOSFETを高耐圧化することができ、低いオン抵抗、かつ高耐圧の炭化ケイ素縦型MOSFETの製造が可能となる。

#### 【0102】

本発明によれば、第1伝導型のベース領域の第1伝導型の不純物濃度が第2伝導型の高濃度ゲート層の第2伝導型の不純物濃度よりも低くすることにより、炭化ケイ素縦型MOSFETを高耐圧化することができる。

#### 【0103】

本発明によれば、第2の堆積膜内に選択的に形成された第2伝導型のゲート領域のゲート絶縁膜と接する部分の第2伝導型の不純物濃度を最適化することにより、炭化ケイ素縦型MOSFETのオン抵抗を低減することができる。

## 【0104】

本発明によれば、第2の堆積膜内に選択的に形成された第1伝導型のベース領域内の第2伝導型の高濃度ゲート層と接する部分の第1伝導型の不純物濃度を最適化することにより、炭化ケイ素縦型MOSFETを高耐圧化することができる。

## 【0105】

本発明によれば、第2伝導型の高濃度ゲート層を第1の堆積膜上に形成した高濃度の第2伝導型の炭化ケイ素からなる第3の堆積膜としたことにより、チャネル領域並びに第1伝導型のベース領域内の第2伝導型の高濃度ゲート層と接する部分の双方の不純物濃度を低減することができる。

## 【0106】

本発明によれば、第2伝導型の高濃度のゲート層を前記第1の堆積膜内に形成したことにより、チャネル領域並びに第1伝導型のベース領域内の第2伝導型の高濃度ゲート層と接する部分の双方の不純物濃度を低減することができる。

## 【0107】

本発明によれば、第2の堆積膜上に形成されたゲート絶縁膜が、少なくとも第2の堆積膜内に選択的に形成された第1伝導型のベース領域上に、その他の領域より厚くなっている部分を有することにより、ゲート絶縁膜と第1伝導型のベース領域との界面近傍が高抵抗化せずオン抵抗が低減できる。

## 【0108】

本発明によれば、第2の堆積膜内に選択的に形成された第1伝導型のベース領域の表面上に、少なくともゲート電極が除かれた部分を有することにより、ゲート絶縁膜と第1伝導型のベース領域との界面近傍が高抵抗化せずオン抵抗が低減できる。

## 【0109】

本発明によれば、第1伝導型の炭化ケイ素基板表面の結晶学的面指数が(11-20)面あるいは(000-1)面に対して平行な面であるため、ゲート絶縁膜とチャネル領域との界面準位密度が軽減し、オン抵抗が低減できる。

## 【0110】

本発明によれば、低濃度のチャネル領域と低濃度の第1伝導型のベース領域を形成することができ、低いオン抵抗でかつ高耐圧の炭化ケイ素縦型MOSFETの製造を容易にすることができる。

【図面の簡単な説明】

【図1】

本発明にかかる第一実施例である炭化ケイ素縦型MOSFETの単位セルを説明するための断面図である。

【図2】

(a) ないし (f) は第一実施例の炭化ケイ素縦型MOSFETの製造工程を説明するための断面図である。

【図3】

(a) ないし (d) は第一実施例の炭化ケイ素縦型MOSFETの製造工程を説明するための断面図である。

【図4】

本発明の第二実施例である炭化ケイ素縦型MOSFETの単位セルを説明するための断面図である。

【図5】

(a) ないし (f) は本発明の第二実施例である炭化ケイ素縦型MOSFETの製造工程を説明するための断面図である。

【図6】

(a) ないし (d) は本発明の第二実施例である炭化ケイ素縦型MOSFETの製造工程を説明するための断面図である。

【図7】

本発明の第3実施例である炭化ケイ素縦型MOSFETを説明するための断面図である。

【図8】

本発明の第4実施例である炭化ケイ素縦型MOSFETを説明するための断面図である。

【図9】

本発明の第5実施例である炭化ケイ素縦型MOSFETを説明するための断面図である。

【図10】

代表的なプレーナ型縦型MOSFETの単位セルを説明するための断面図である。

【図11】

(a) ないし (f) は前記二重拡散法によるシリコン (Si) を使用したプレーナ型縦型MOSFETの作製方法を説明するための図である。

【図12】

(a) および (b) は前記二重拡散法によるシリコン (Si) を使用したプレーナ型縦型MOSFETの作製方法を説明するための図である。

【図13】

(a) ないし (f) は、従来における二重イオン注入法を用いた典型的な炭化ケイ素プレーナ型縦型MOSFETの作製方法を示す。

【図14】

(a) および (b) は、従来における二重イオン注入法を用いた典型的な炭化ケイ素プレーナ型縦型MOSFETの作製方法を示す。

【図15】

炭化ケイ素プレーナ型縦型MOSFETとして提案された単位セルの構造を説明するための断面図である。

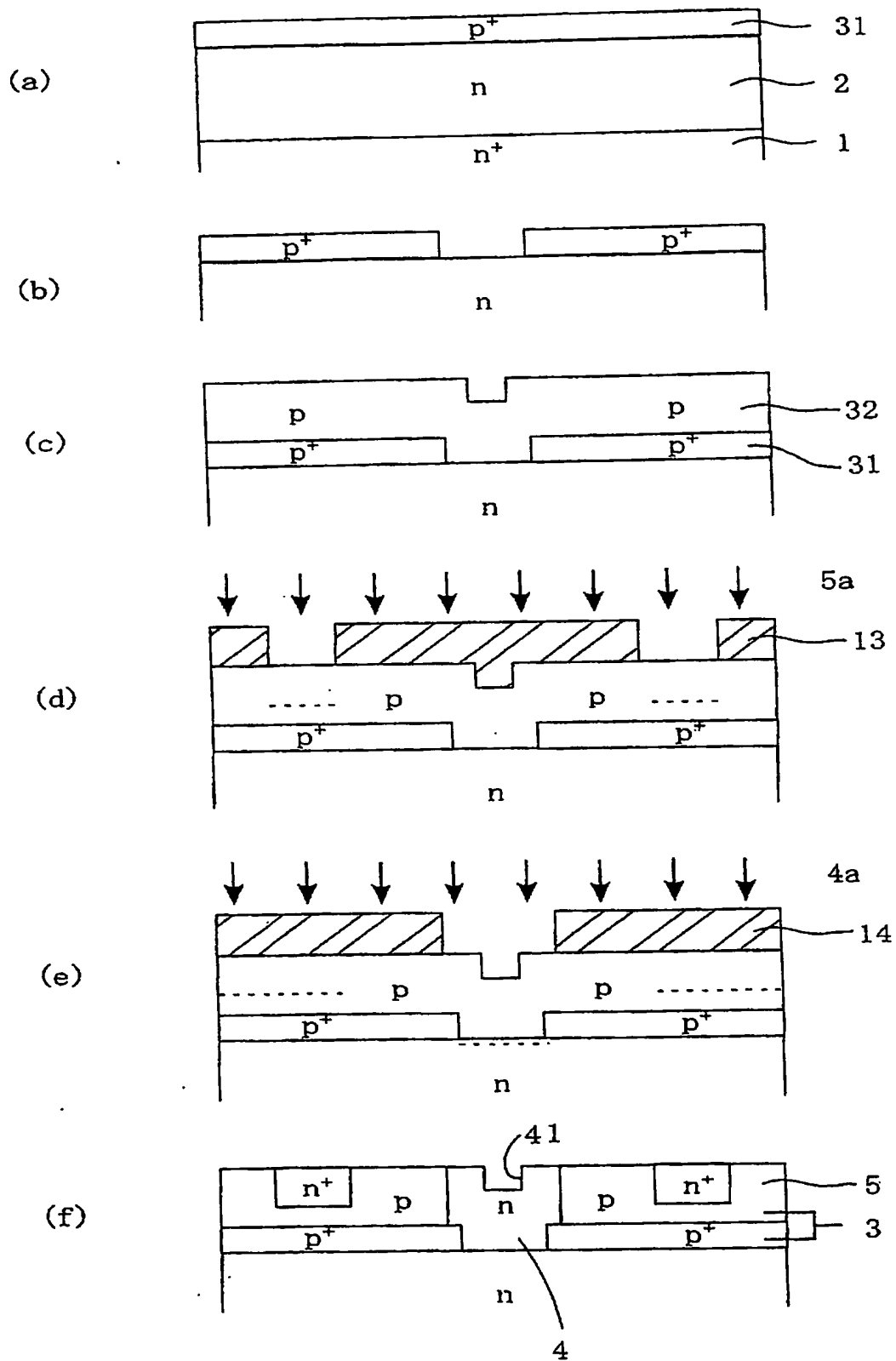
【符号の説明】

- 1・・・高濃度n<sup>+</sup>型基板
- 2・・・低濃度n型ドリフト層 (第1の堆積層)
- 3・・・p型ウェル層
- 3a・・・p型不純物イオン注入
- 4・・・低濃度n型ベース領域
- 4a・・・n型不純物イオン注入
- 5・・・高濃度n<sup>+</sup>型ソース領域
- 5a・・・n型不純物イオン注入

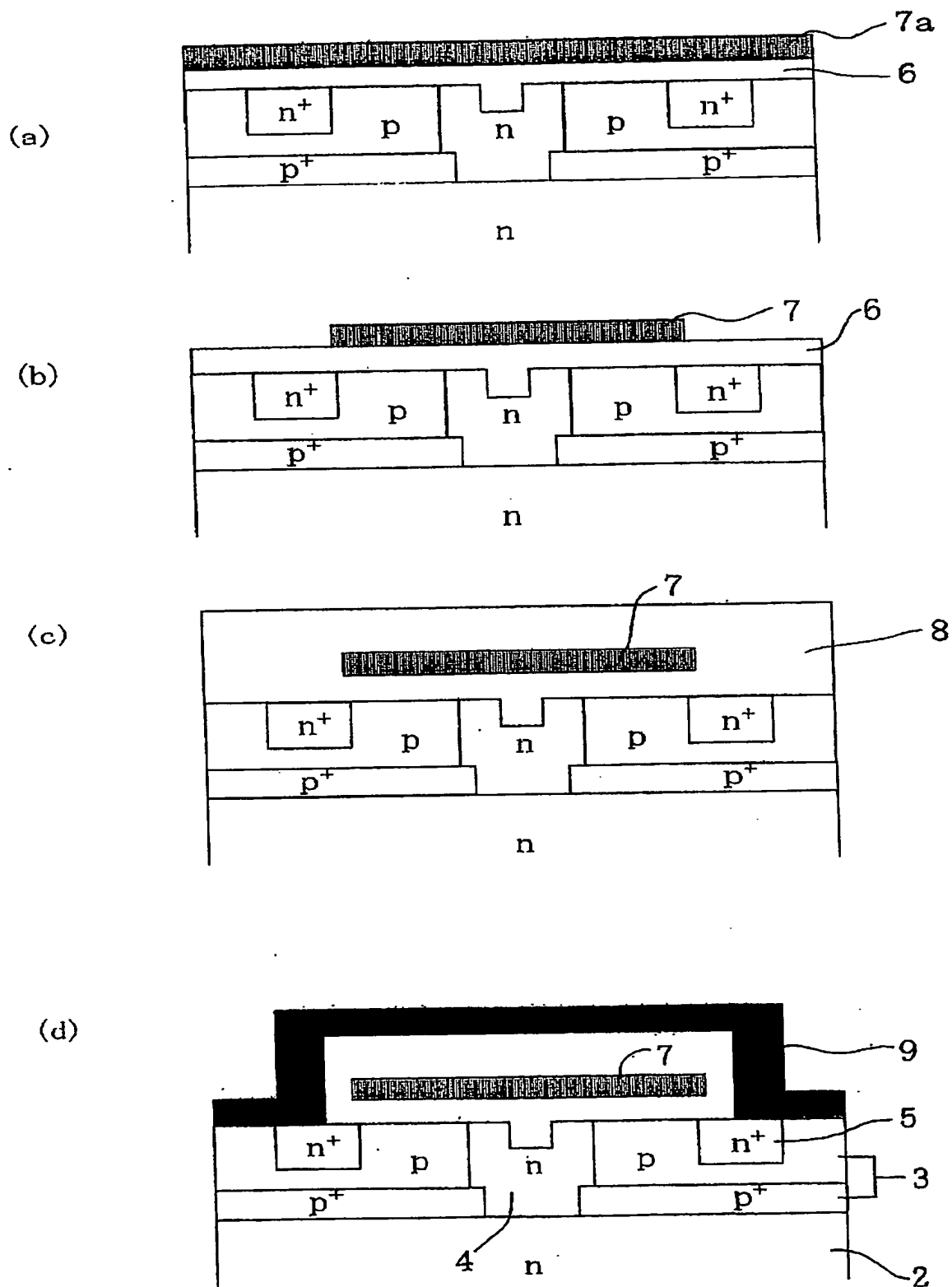
- 6 . . . ゲート絶縁膜
- 7 . . . ゲート電極
- 7 a . . . 多結晶シリコン
- 8 . . . 層間絶縁膜
- 9 . . . ソース電極
- 10 . . . ドレイン電極
- 11 . . . チャネル領域
- 12 . . . イオン注入マスク
- 13 . . . イオン注入マスク
- 14 . . . イオン注入マスク
- 15 . . . イオン注入マスク
- 24 . . . n型ベース層のn型ドリフト層と接する部分
- 31 . . . 高濃度p<sup>+</sup>型層 (第2の堆積層)
- 32 . . . 低濃度p型層 (第3の堆積層)
- 41 . . . 凹部
- 91 . . . 埋め込みチャネル領域



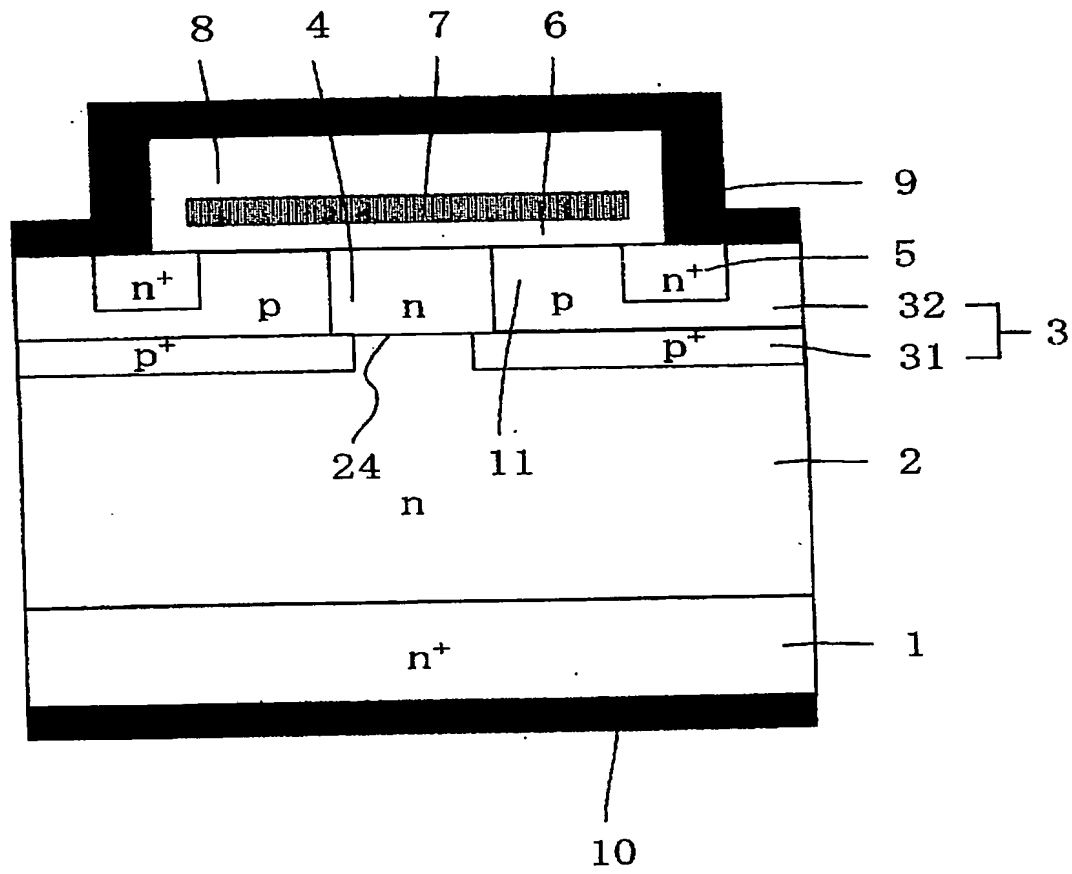
【図2】



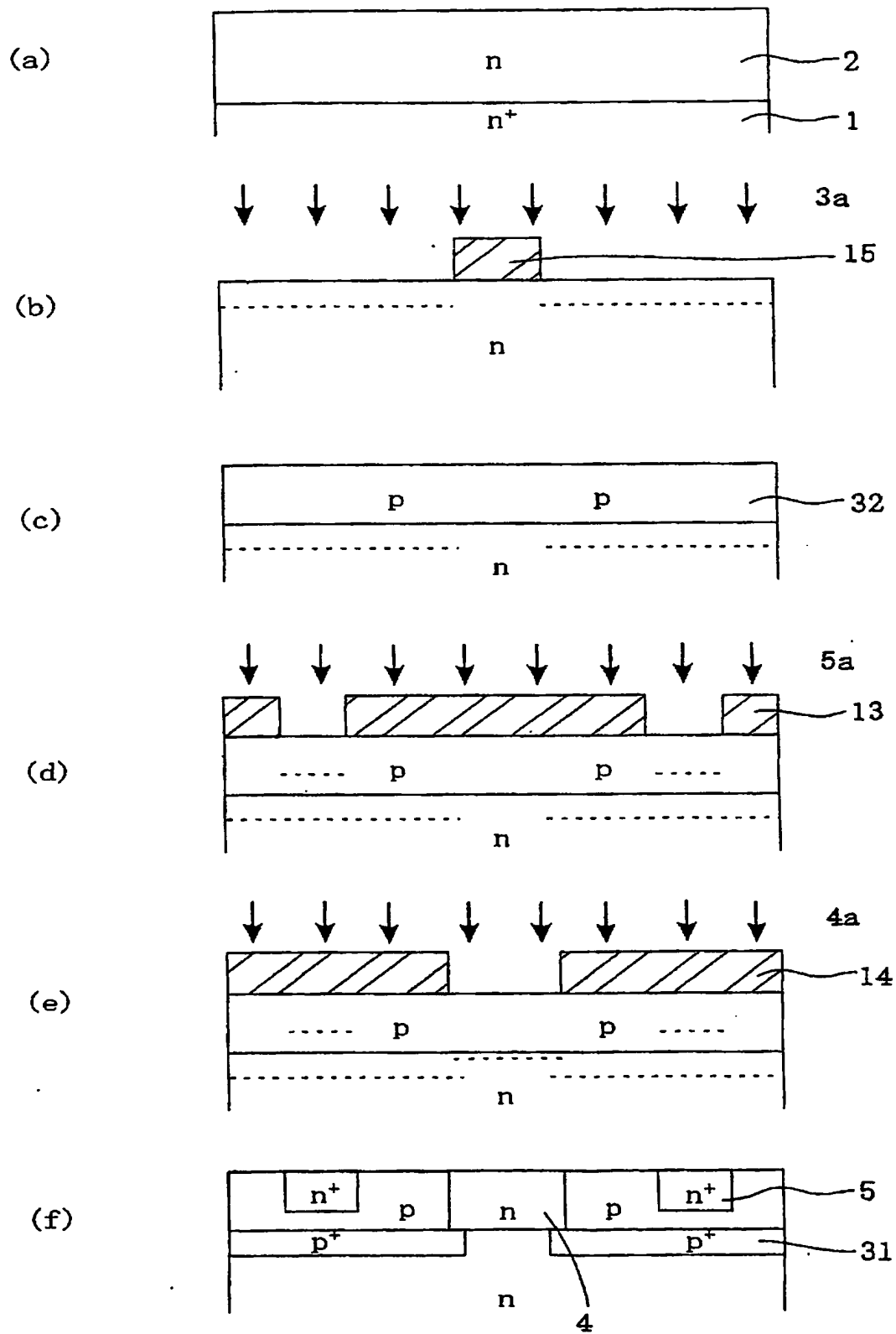
【図 3】



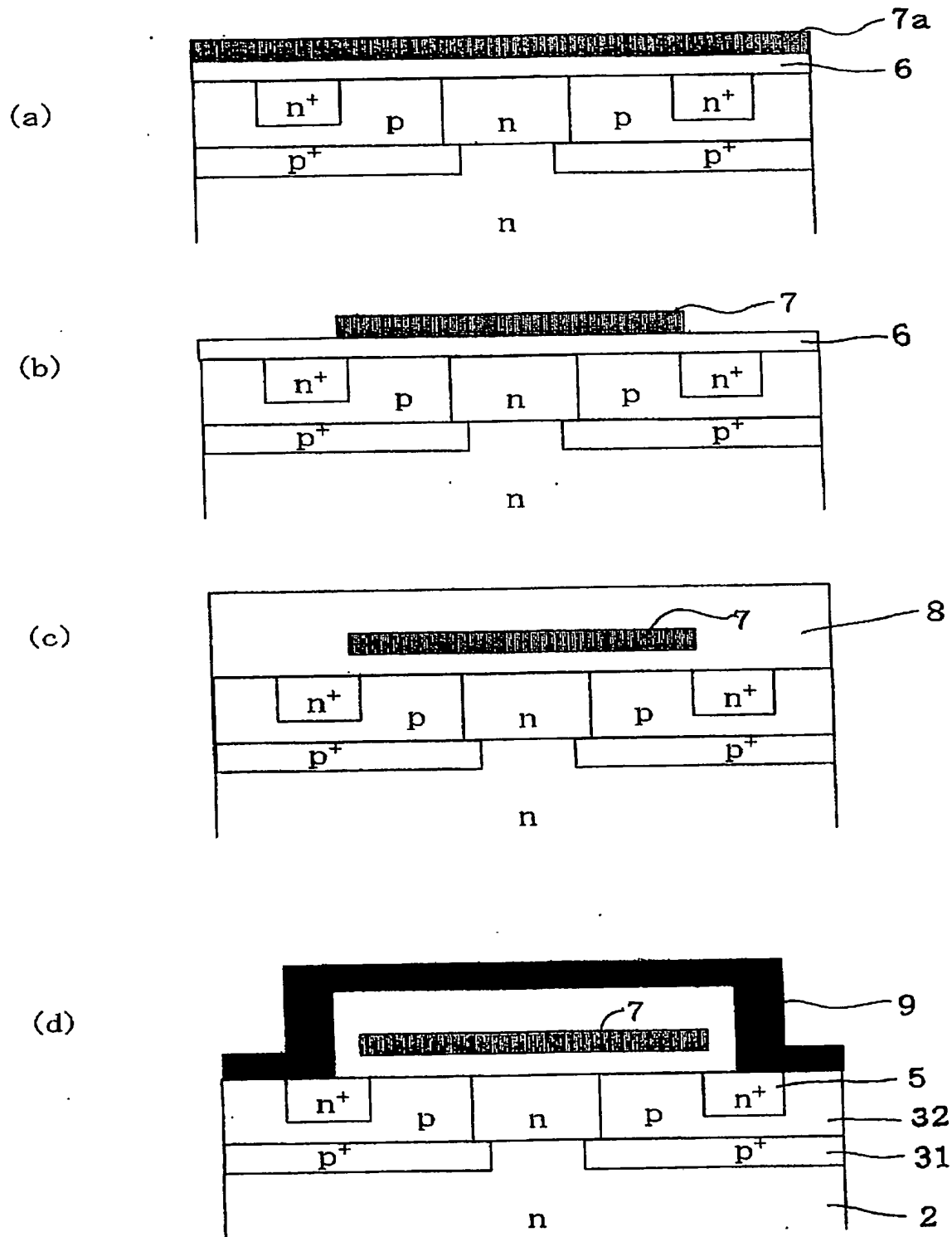
【図4】



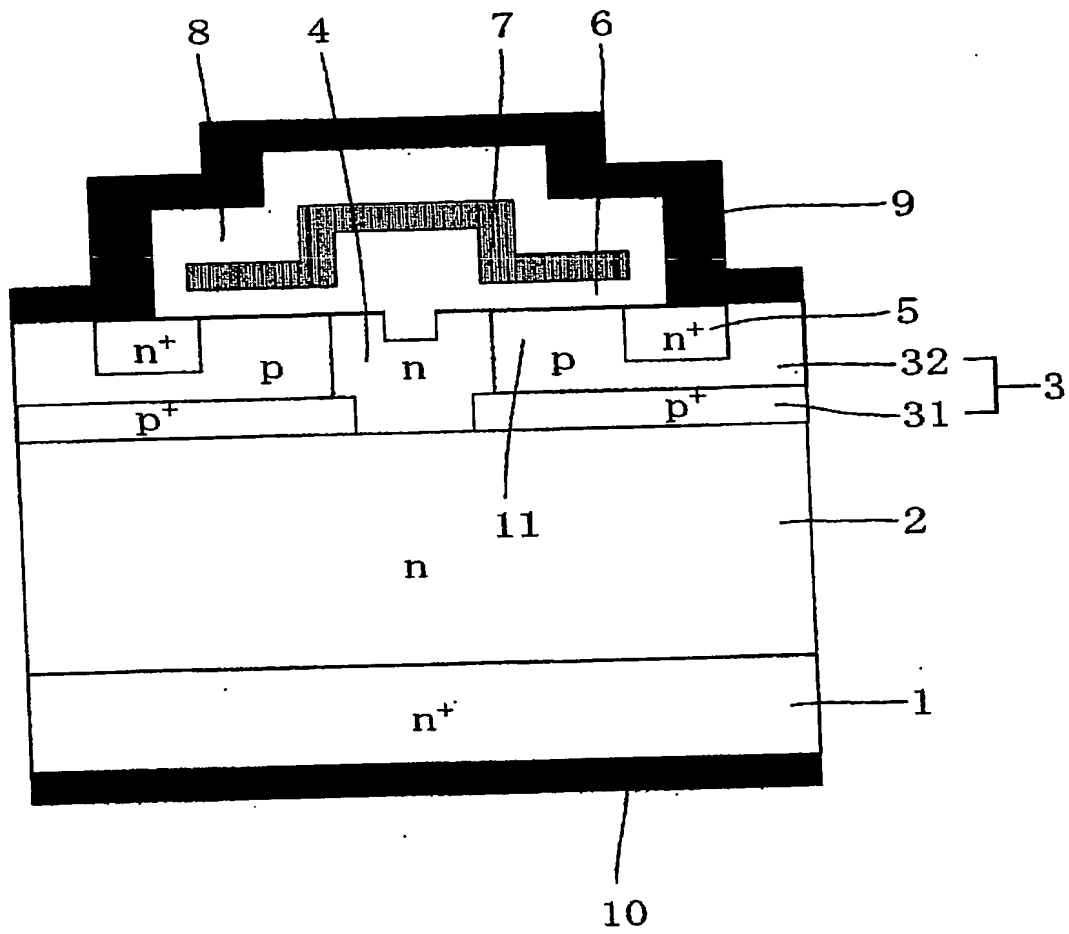
【図5】



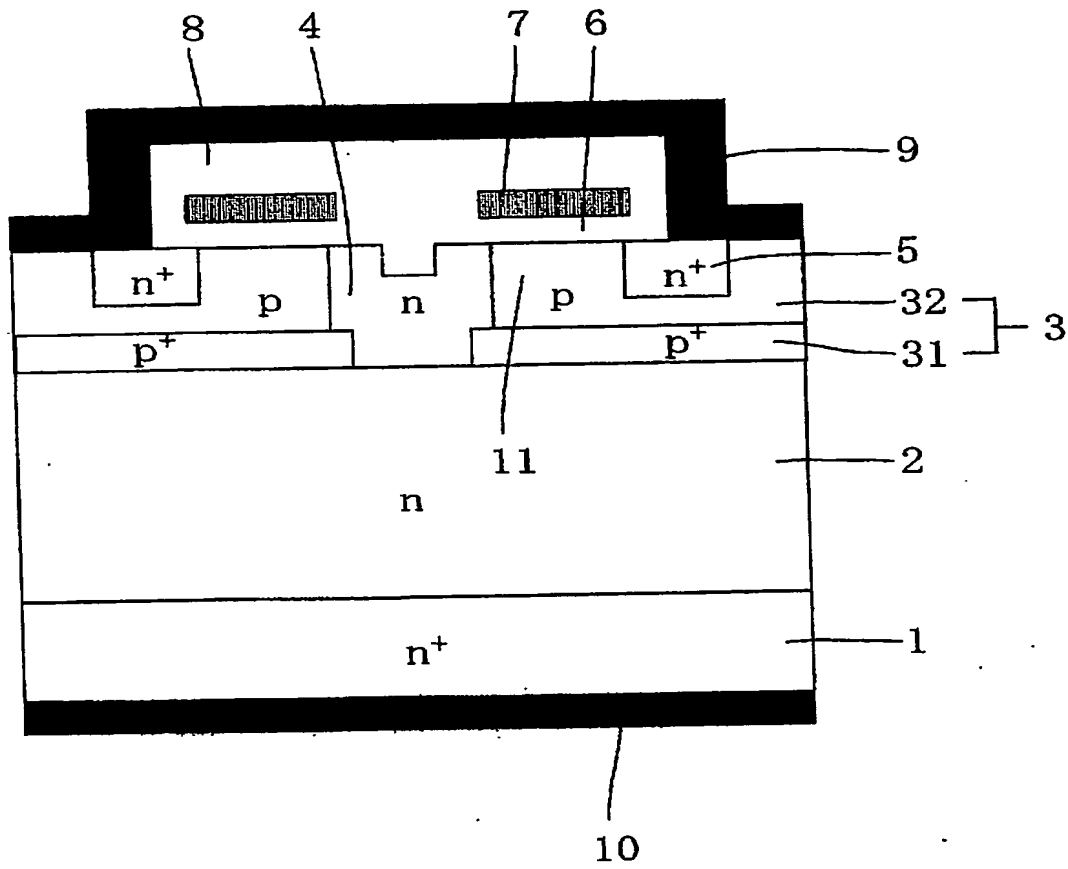
【図6】



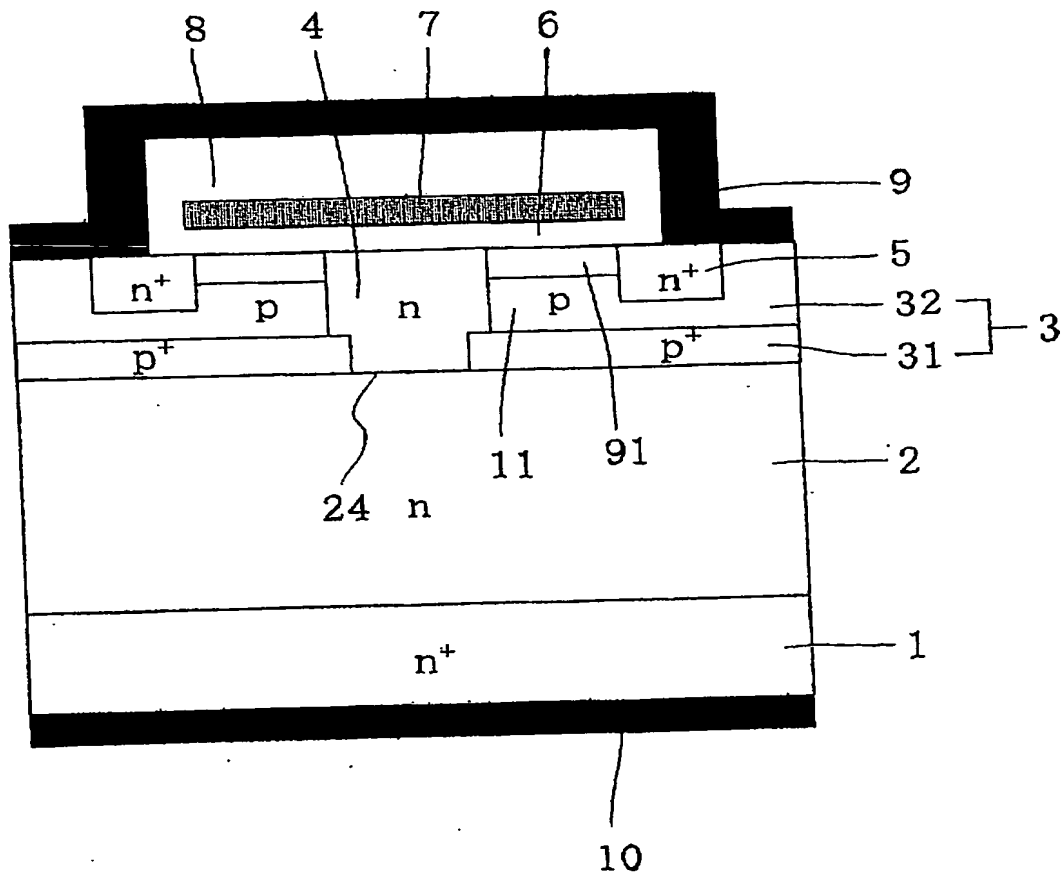
【図 7】



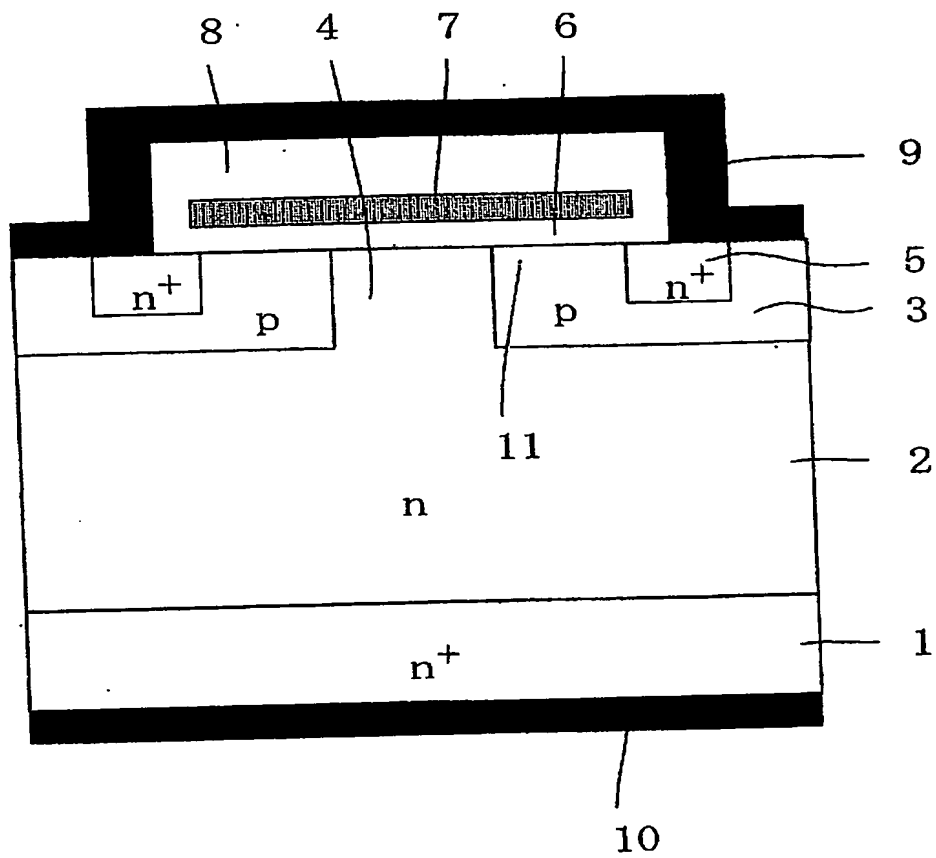
【図8】



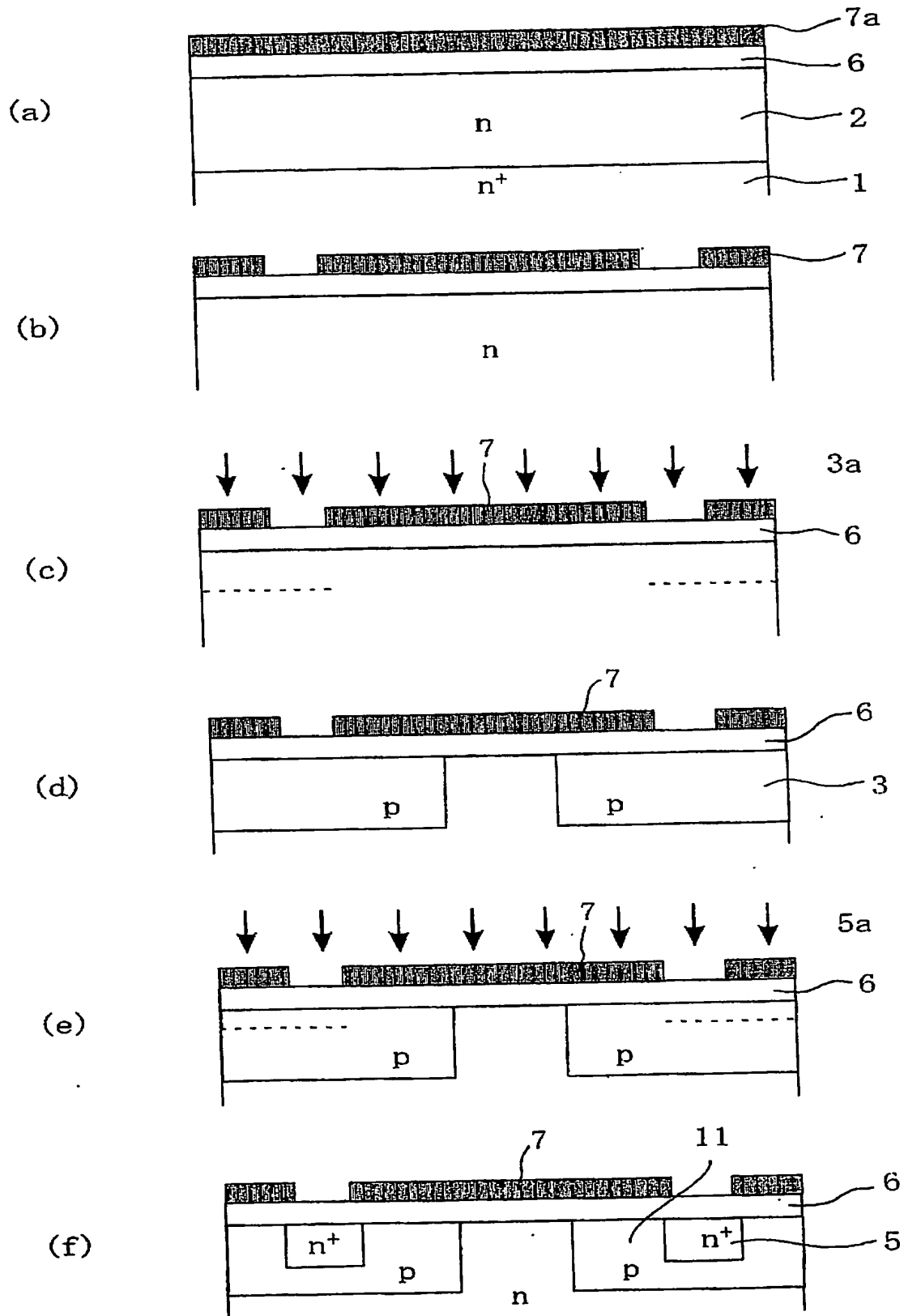
【図9】



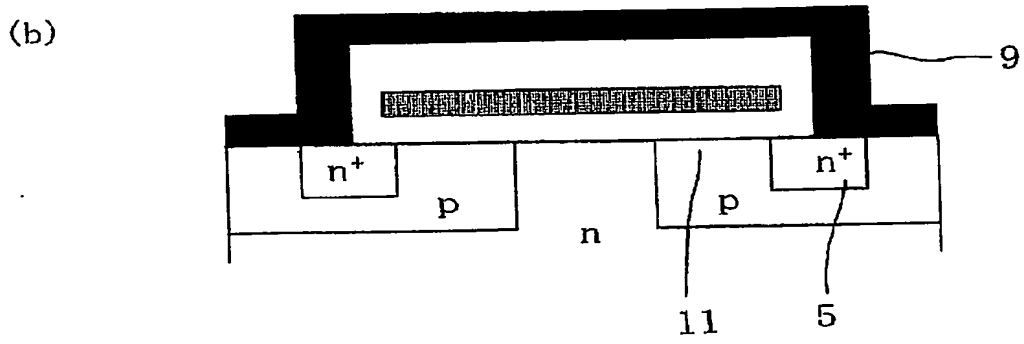
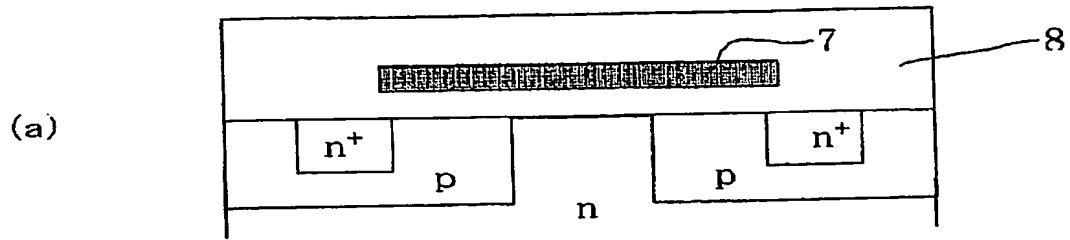
【図10】



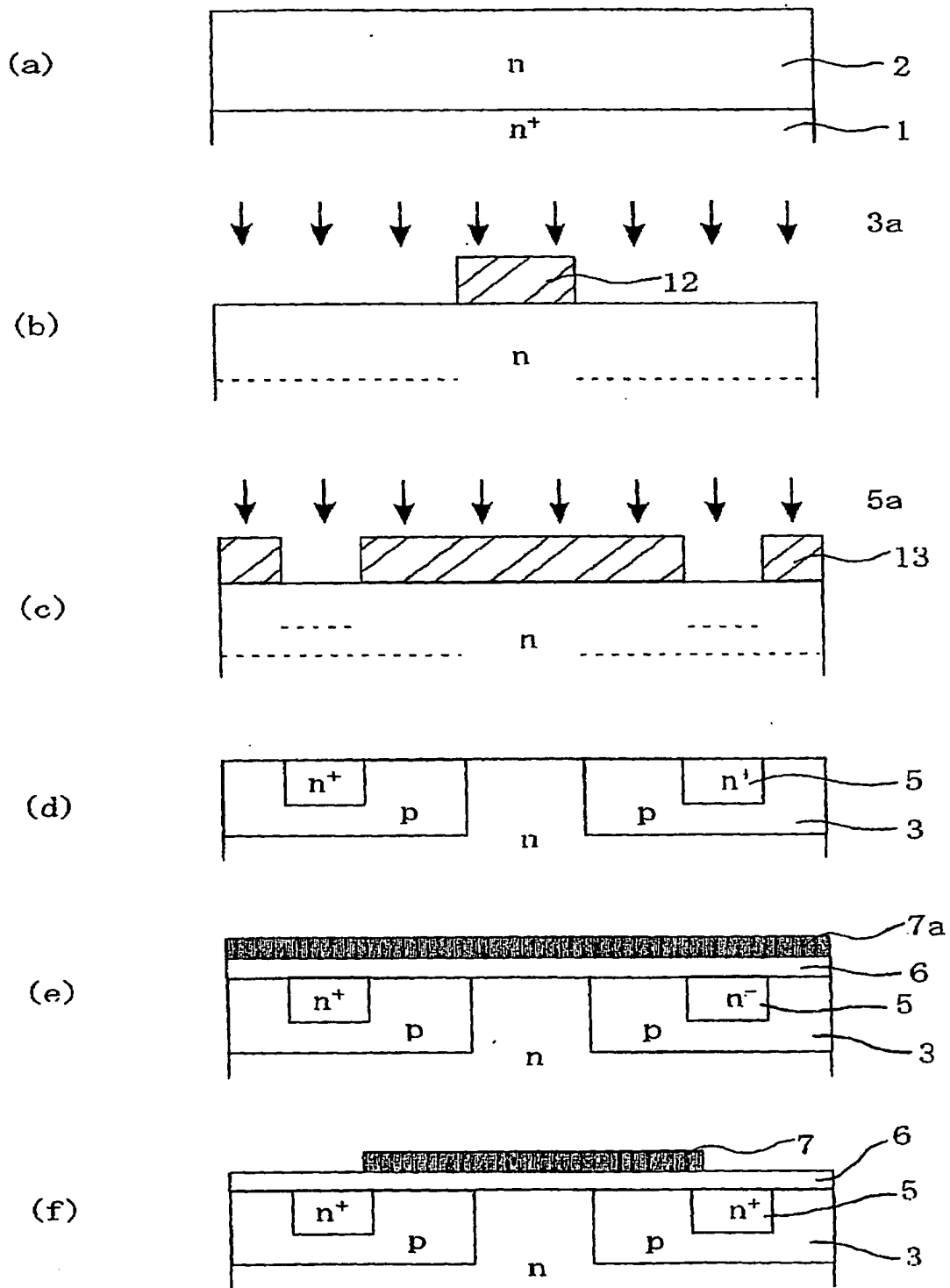
【図11】



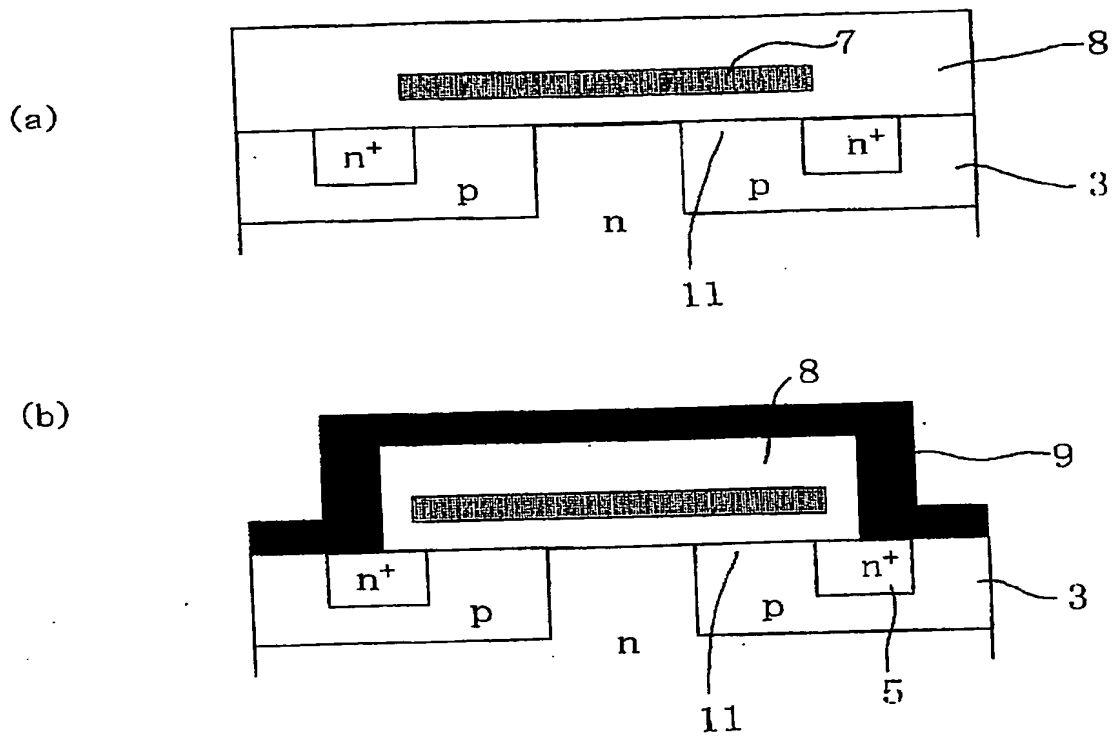
【図12】



【図13】



【図14】



10

【書類名】 要約書

【要約】

【課題】 低いオン抵抗、且つ高耐圧の炭化ケイ素縦型MOSFETを実現することであり、低濃度p型堆積膜により形成したチャネル領域を有する炭化ケイ素半導体装置を提供する。

【解決手段】 第1伝導型の高濃度炭化ケイ素基板1表面上に形成されている第1伝導型の低濃度炭化ケイ素からなる第1の堆積膜2が形成されている。前記第1の堆積膜2上に選択的に切り欠かれている第1の領域を有する第2伝導型の高濃度ゲート領域からなる第2の堆積膜31と、前記第2の堆積膜31上に選択的に切り欠かれている前記第1の領域より幅が広い第2の領域と前記第1伝導型の高濃度ソース領域と第2伝導型の低濃度ゲート領域からなる第3の堆積膜32とが形成されている。そして、第1伝導型の低濃度ベース領域4は、前記第1の堆積膜2に接し、前記第1の領域および第2の領域に形成されている。

【選択図】 図1

【書類名】 手続補正書

【提出日】 平成14年11月 6日

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-304596

【補正をする者】

【識別番号】 301021533

【氏名又は名称】 独立行政法人産業技術総合研究所

【補正をする者】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100082669

【弁理士】

【氏名又は名称】 福田 賢三

【手続補正 1】

【補正対象書類名】 特許願

【補正対象項目名】 知的財産権持分契約書

【補正方法】 追加

【補正の内容】

【提出物件の目録】

【物件名】 知的財産権持分契約書 1

(A)10202100098



# 知的財産権特許分譲契約書

独立行政法人産業技術総合研究所（以下「甲」という。）及び三洋電機株式会社（以下「乙」という。）は、甲と財団法人新機能素子研究開発協会の間で平成13年4月1日付け締結の共同研究契約書「超微細実効力素子技術開発 基礎技術開発」(以下「本共同研究契約書」という。)に基づき、甲が研究員及び乙が研究員が行った発明等に係る知的財産権（以下「本知的財産権」という。）の持分及び取扱に関し、次のとおり契約する。

## (知的財産権の持分)

第1条 甲及び乙は、持分を以下のとおり所有する。

発明等の名称 : 炭化ケイ素半導体装置およびその製造方法

発明番号 : 216-02264

持 分 : 甲 80%、乙 20%

## (独占的実施権の付与の有無等)

第2条 甲は、乙に独占的実施権を、付与しない。

## (知的財産権の管理費用)

第3条 甲及び乙は、管理（収得に係る費用を含む。以下同じ。）に要する費用を、持分に応じて負担するものとする。

## (通知義務の範囲等)

第4条 甲及び乙は、本知的財産権に係る発明等の明細書記載の情報を、それぞれが開示しようとする第三者に守秘義務等契約により守秘義務を課することを条件として、当該情報を当該第三者に開示することができる。

2 甲及び乙は、前項により本知的財産権に係る発明等の明細書記載の情報を開示する場合、当該情報の範囲において、本共同研究契約書第14条（秘密の保持）に規定する事項の同意をしたものとする。

3 甲又は乙は、相手方から本知的財産権に係る通知義務を許諾したい旨の通知を受けた場合、正当な理由がない限り、これに答面により同意するものとする。

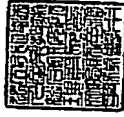
## (協議)

第5条 この契約で定めるもののほか、その取扱い及びその他の必要な事項については、甲乙が協議して定める。

この契約の締結を証するため、本契約書を3通（特許庁長官提出用含む）作成し、双方記名押印の上、甲及び乙それぞれ1通ずつ保有する。

平成14年10月18日

甲 住所 東京都千代田区佃が岡1丁目3番1号  
氏名 独立行政法人産業技術総合研究所  
理事長 吉川弘之



乙 住所 大阪府守口市京阪本通2丁目5番5号  
氏名 三洋電機株式会社  
代表取締役社長 桑野卓雄



## 認定・付加情報

特許出願の番号	特願 2002-304596
受付番号	10202100098
書類名	手続補正書
担当官	塩野 実 2151
作成日	平成14年12月13日

### <認定情報・付加情報>

#### 【提出された物件の記事】

【提出物件名】	知的財産権持分契約書	1
---------	------------	---

次頁無

特願 2002-304596

出願人履歴情報

識別番号

[301021533]

1. 変更年月日

2001年 4月 2日

[変更理由]

新規登録

住 所

東京都千代田区霞が関1-3-1

氏 名

独立行政法人産業技術総合研究所

特願 2002-304596

出願人履歴情報

識別番号

[000001889]

1. 変更年月日  
[変更理由]  
住 所  
氏 名

1990年 8月24日  
新規登録  
大阪府守口市京阪本通2丁目18番地  
三洋電機株式会社

2. 変更年月日  
[変更理由]  
住 所  
氏 名

1993年10月20日  
住所変更  
大阪府守口市京阪本通2丁目5番5号  
三洋電機株式会社

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**